

日本国特許庁

JAPAN PATENT OFFICE

3/Priority paper
11/Sept/00
11/14/01



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-301063

出願人

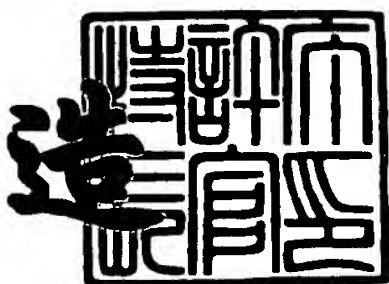
Applicant(s):

株式会社東芝

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3069597

【書類名】 特許願
【整理番号】 A000002903
【提出日】 平成12年 9月29日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/00
【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体メモリシステム
【請求項の数】 20
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 田中 智晴
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 助川 博
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体メモリシステム

【特許請求の範囲】

【請求項1】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、およびそれぞれの一端がそれぞれのワード線に接続され、それぞれ他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第1の半導体基板と、

前記入力端子に接続される出力端子に、その出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と
を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記第1の半導体基板と前記第2の半導体基板とが積層されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板とが積層されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、およびそれぞれの他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第1の半導体基板と、

その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板とを備え、

前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、

前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、

前記第1のパッケージと前記第2のパッケージとが積層され、前記第1のパッ

ケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続されることを特徴とする不揮発性半導体記憶装置。

【請求項5】 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージとが積層されることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージに封止されることを特徴とする請求項4及び請求項5いずれかに記載の不揮発性半導体記憶装置。

【請求項7】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、およびそれぞれの一端がそれぞれのワード線に接続され、それぞれの他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第1の半導体基板と、

その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路と、インターフェイス回路が形成される第2の半導体基板とを備え、

前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、

前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、

前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続され、

前記第2のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子が設けられることを特徴とする不揮発性半導体記憶装置。

【請求項8】 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージとが積層されることを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 積層された前記第1のパッケージおよび前記第2のパッケー

ジおよび前記配線は、さらに第3のパッケージに封止され、前記第3のパッケージには前記インターフェイス端子から引き出された引き出し端子が設けられることを特徴とする請求項7及び請求項8いずれかに記載の不揮発性半導体記憶装置。

【請求項10】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記複数のビット線を制御するための第1のシフトレジスタ、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、それぞれの他端が入力端子に接続される複数の転送ゲートトランジスタ、および前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタが形成される第1の半導体基板と、

前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と
を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項11】 前記第1の半導体基板と前記第2の半導体基板とが積層されることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板とが積層されることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項13】 前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路を前記第2の半導体基板上に、さらに備えたことを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項14】 パッケージに封止された、ネットワークプロトコルに対応したインターフェイス回路と、

不揮発性半導体メモリセルアレイと、
前記不揮発性半導体メモリセルアレイを制御するための制御回路と、
データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル
管理エンジンと
を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項15】 前記インターフェイス回路はTCP/IPに対応していることを特徴とする請求項14に記載の不揮発性半導体記憶装置。

【請求項16】 前記インターフェイス回路はftp(file transfer protocol)接続可能であることを特徴とする請求項15に記載の不揮発性半導体記憶装置。

【請求項17】 前記インターフェイス回路はanonymous ftp(file transfer protocol)接続可能であることを特徴とする請求項15に記載の不揮発性半導体記憶装置。

【請求項18】 前記インターフェイス回路はPPP(Point to Point Protocol)接続可能であることを特徴とする請求項15に記載の不揮発性半導体記憶装置。

【請求項19】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、およびそれぞれ他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第1の半導体基板と、

前記入力端子に接続される出力端子に、その出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板とを備えたことを特徴とする不揮発性半導体メモリシステム。

【請求項20】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記複数のビット線を制御するための第1のシフトレジスタ、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、それぞれの他端が入力端子に接続される複数の転送ゲートトランジスタ、および前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタが形成される第1の半導体基板と、

前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板とを備えたことを特徴とする不揮発性半導体メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気的に書替え可能な不揮発性半導体記憶装置およびそのシステムに係わり、特にフラッシュメモリに関する。

【0002】

【従来の技術】

従来のフラッシュメモリは、デジタル制御インターフェイスを持つ。デジタル制御信号端子のほか電源端子や書き込み・消去電源端子を持つが、これらはDC入力で、フラッシュメモリ内部で外部からのデジタル制御信号に応じて制御され、適当な波形に整形されメモリセルに印加される。このため、フラッシュメモリ内部では、メモリセルの読み出し・書き込み・消去に必要な信号を作るために、メモリセル以外に多くの周辺回路と呼ばれる制御回路を持つ。

【0003】

また、フラッシュメモリを用いた多くの脱着可能な記憶装置がある。例えばスマートメディアやコンパクトフラッシュやメモリスティック、SDカードなどである。スマートメディアのインターフェイスはNANDフラッシュメモリのインターフェイスそのものであり、その他の装置は磁気記憶装置のインターフェイスに似たものである。いずれにしても、磁気記憶装置のごとくホスト側のファイル管理下で、ファイルデータと論理アドレスを受け取り記憶する。ホスト側にはファイル管理システムが必要である。

【0004】

【発明が解決しようとする課題】

フラッシュメモリ内部のメモリセルの読み出し・書き込み・消去に必要な信号を作るための多くの周辺回路が、チップサイズを大きくし、コスト増を招いている。しかしながら、外部から直接メモリセルを制御しようとすると、外部配線負荷の増大など多くの問題があった。

【0005】

本発明の第1の目的は、コスト増を抑制できる不揮発性半導体記憶装置および

不揮発性半導体メモリシステムを提供することにある。

【0006】

また、従来のフラッシュメモリ記憶装置では、ホスト側のファイル管理の下で制御されるため性能が落ちる。例えば、ホスト側のファイル管理の最小単位より、フラッシュメモリの最小書き換え単位が大きいと、1つのファイルデータを書き換える際、フラッシュメモリ内部では書き換えが必要でないファイルデータまで巻き添え書き換えする必要がある。しかしながら、ファイル管理をフラッシュメモリシステム側で行なうとすると、インターフェイスをどうするかという問題が生じる。

【0007】

本発明の第2の目的は、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えた不揮発性半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】

本願第1の発明では、上記第1の目的を達成するために、以下のような構成を採用している。

【0009】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備える。

【0010】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0011】

(1) 前記第1の半導体基板と前記第2の半導体基板が積層される。

【0012】

(2) 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0013】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備え、前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続される。

【0014】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0015】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0016】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージに封止される。

【0017】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続

される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路と、インターフェイス回路が形成される第2の半導体基板と、を備え、前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続され、前記第2のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子が設けられる。

【0018】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0019】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0020】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージに封止され、前記第3のパッケージには前記インターフェイス端子から引き出された引き出し端子が設けられる。

【0021】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記複数のビット線を制御するための第1のシフトレジスタと、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタと、が形成される第1の半導体基板と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備える。

【0022】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0023】

(1) 前記第1の半導体基板と前記第2の半導体基板が積層される。

【0024】

(2) 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0025】

(3) さらに前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路を前記第2の半導体基板上に備える。

【0026】

また、本願第2の発明では、上記第2の目的を達成するために、以下のような構成を採用している。

【0027】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、パッケージに封止された、ネットワークプロトコルに対応したインターフェイス回路と、不揮発性半導体メモリセルアレイと、前記不揮発性半導体メモリセルアレイを制御するための制御回路と、データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル管理エンジンと、を備える。

【0028】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0029】

(1) 前記インターフェイス回路はTCP/IPに対応している。

【0030】

(2) 前記インターフェイス回路はftp(file transfer protocol)接続可能である。

【0031】

(3) 前記インターフェイス回路はanonymous ftp(file transfer protocol)接続可能である。

【0032】

(4) 前記インターフェイス回路はPPP(Point to Point Protocol)接続可能である。

【0033】

【発明の実施の形態】

以下、本発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0034】

（第1実施形態）

図1は、本発明の第1実施形態に係わる不揮発性半導体記憶装置のパッケージ外観図である。

【0035】

図1に示すように、パッケージ1の表面に信号端子2が設けられている。

【0036】

図2は、図1に示されるパッケージ1の内部を示す図である。

【0037】

図2に示すように、パッケージ1の内部には、半導体基板を封止したパッケージ4と、8枚のパッケージ5がある。パッケージ4、5-0、5-1、…、5-7は互いに積層され、積層側面にはそれぞれのパッケージに設けられる端子を互いに接続するために配線6が設けられる。

【0038】

パッケージ4の積層面の裏面には、さらに別の端子3が設けられ、パッケージ1に設けられた信号端子2へ接続される。

【0039】

図3は、図1に示されるパッケージ内部のチップ積層構造を示す図である。

【0040】

図3に示すように、パッケージ4、5-0、5-1、…、5-7それぞれの側面には、端子7が設けられ、それぞれの端子7は、配線6で互いに接続されている。

【0041】

図4は、図2、図3に示されるパッケージ4の内部を示す図である。

【0042】

図4に示すように、パッケージ4の内部には、半導体基板9が封止されている。半導体基板9の表面には端子8が設けられ、端子3や端子7に接続される。

【0043】

図5は、図4に示される端子8と端子3との接続構成の一例を示す図である。

【0044】

図5に示すように、半導体基板9の表面に設けられた端子8は、パッケージ4の積層面の裏面に形成された端子3に、このパッケージ4に空けられた穴に流し込まれた配線材10により接続されている。

【0045】

図6は、図4に示される端子8と端子7との接続構成の一例を示す図である。

【0046】

図6に示すように、半導体基板9の表面に設けられた端子8は、パッケージ4の側面に形成された端子7に、ボンディングワイヤ11により接続されている。

【0047】

図7は、図2、図3に示されるパッケージ5の内部を示す図である。

【0048】

図7に示すように、パッケージ5の内部には、半導体基板12が封止されている。半導体基板12の表面には端子8が設けられ、端子7に、図6に示されるような接続構成により接続される。半導体基板12の上には、後程説明するようにな揮発性半導体メモリセルアレイが形成される。

【0049】

図8は、パッケージ4内部の半導体基板9上に形成される回路を示す構成図である。

【0050】

図8に示すように、端子3に接続される端子8として、OP、RB、REN、CEN、VC_C、V_{SS}、CLEN、ALEN、WEN、WPn、I00～I07端子がある。

【0051】

Vccは電源端子であり、Vssは接地端子である。

【0052】

入出力端子I00～I07は、データ入出力バッファ13に接続され、書きこみ・読み出しデータの入出力やコマンドデータ、アドレスデータの入力を行なうための端子である。

【0053】

OP、RB、REn、CEn、CLEn、ALEn、WEn、WPn端子は、制御入出力バッファ14に接続され、制御信号OP、RB、REn、CEn、CLEn、ALEn、WEn、WPnを入力するための端子である。

【0054】

端子3の信号は、例えばNANDフラッシュメモリTC58V32AFT(東芝製)などに見られる端子のような働きをする。

【0055】

ステート・マシーン15は、外部から入力された制御信号やコマンドやアドレスに従って、パッケージ5を制御するための基本的な制御信号を発生する回路である。

【0056】

ステート・マシーン15により、パッケージ5内部のメモリセルアレイをアクセスする時のアドレスを管理するアドレス制御回路16、パッケージ5内部のメモリセルアレイのデータの読み出し・書きこみ・消去に必要な電圧を発生する電圧発生回路17、パッケージ5を選択するチップ選択回路18、パッケージ5内部のメモリセルアレイのメモリブロックを選択するためのブロック選択制御回路19、パッケージ5内部のメモリセルアレイに接続されるワード線の制御を行うワード線制御回路20、パッケージ5内部のメモリセルアレイとのデータの入出力を制御するデータ制御回路21、パッケージ5内部のメモリセルアレイに接続されるビット線の制御を行なうビット線制御回路22、パッケージ5内部のメモリセルアレイに接続されるソース線の制御を行なうソース線制御回路23、パッケージ5内部のメモリセルアレイが形成される半導体層(ウェル)の制御を行なうウェル制御回路24、が制御される。

【0057】

端子7に接続される端子8として、SG1、CG0、CG1、CG2、CG3、SG2、SGB、Vcc、Vss、CE0、CE1、CE2、CE3、CE4、CE5、CE6、CE7、PGM、SEN、CK0、CK1、OUT0、OUT1、IN0、IN1、Well、Vpp、OSC、RB、RA、RB、RST、SRC、OD、EV、BS、PRE、VH端子がある。

【0058】

ROM100は、パッケージ5内部のメモリセルアレイの欠陥メモリセルのアドレスを記憶している。アドレス制御回路16はROMのデータを参照して、欠陥メモリセルを使わないようにする。

【0059】

図9は、パッケージ5内部の半導体基板12上に形成される回路を示す構成図である。

【0060】

図9に示すように、パッケージ5内部の半導体基板12上には、フラッシュメモリが形成される。そして、端子7に接続される端子8として、SG1、CG0、CG1、CG2、CG3、SG2、SGB、Vcc、Vss、CE0、CE1、CE2、CE3、CE4、CE5、CE6、CE7、PGM、SEN、CK0、CK1、OUT0、OUT1、IN0、IN1、Well、Vpp、OSC、RB、RA、RB、RS、SRC、OD、EV、BS、PRE、VH端子があり、同名のパッケージ4の端子と配線6を介して接続される。

【0061】

メモリセルアレイ25は、不揮発性半導体メモリセルがマトリクス上に配置され構成されている。メモリセルアレイ25のメモリブロックを選択するためにブロック選択回路26、選択されたメモリセルとのデータの入出力を制御するデータ回路27、メモリセルアレイ25に接続されるビット線の電圧を制御するビット線回路28、メモリセルアレイ25に接続されるソース線を制御するソース線回路29、メモリセルアレイ25がその上に形成されるウェルを制御するウェル回路30、端子8の信号と内部信号の変換を行なう信号変換回路31、が設けられている。

【0062】

図10は、図9に示されるメモリセルアレイ25の構成の一例を示す図である。

【0063】

図10に示すように、メモリセルアレイ25は、例えば16のメモリブロックBLOCK0～BLOCK15に分割されている。それぞれのメモリブロックBLOCKi(i=0～15)は、4本のワード線WL0-i～WL3-iと、2本の選択ゲート線SGD-i及びSGS-iとを備える。

【0064】

4つのメモリセルMと2つの選択トランジスタSは、互いに直列に接続されNAND型のメモリセルユニットを構成する。NAND型メモリセルユニットの一端はビット線BLE0～BLE7、BL00～BL07に接続され、他端は共通にソース線Sourceに接続される。ここでは簡単のためにメモリの数を少なくしてあるが、1ワード線に4224個以上のメモリセル(528バイト以上)、1ブロックあたり16本のワード線、メモリセルアレイを512ブロック以上のブロックで構成すれば、NANDフラッシュメモリTC58V32AFTに匹敵するメモリセルアレイとなる。

【0065】

図11A、図11B、及び図11Cはそれぞれ、メモリセルMの構造の一例を示す図である。図11AはメモリセルMのビット線BLに沿った断面を示し、図11BはメモリセルMのワード線WLに沿った断面を示し、図11Cは選択ゲート線SGに沿った断面を示している。

【0066】

図11Aに示すように、メモリセルMの構造を示す図である。p型の半導体基板12上にn型のウェル32が形成され、さらに内部にp型のウェル34が形成される。半導体基板12の表面部にはn型拡散層35とp型拡散層33が形成される。半導体基板12とトンネル酸化膜を介してフローティングゲートFG、その上に絶縁膜を介してワード線WLとなる制御ゲートが積層される。ビット線BLは第2メタル材でできており、V1コンタクトを介して第1メタル材M0に接続される。さらにCBコンタクトを介してビット線BLは、NANDメモリユニットの一端であるn型拡散層35に接続される。

【0067】

また、図11B、図11Cの断面に示されるように、各メモリセルMは、互いにワード線WLに沿った方向で素子分離STI(shallow trench isoration)により分離されている。

【0068】

図12～図16はそれぞれ、信号変換回路31の具体的な回路構成の一例を示す図である。

【0069】

まず、図12に示されるように、端子CE0～CE7のうち、1つがインバータI0に入力されCEnsとして出力される。CEnsは、さらにインバータI1を介してCEsとして出力される。なお、図12は、CE0に着目して示している。パッケージ5は、8つあるので、それぞれのパッケージ内で互いに重複することなく端子CE0～CE7のうち1つがインバータI0に入力され、CEnsとして出力される。チップ選択信号CE0～CE7によって、パッケージ5-0からパッケージ5-7のうち、一つが選択される。

【0070】

図13に示される信号CK0とCK1は、チップ選択信号CEsが"H"のとき有効となり、CK0s、CK0sn、CK1s、CK1snに変換される。

【0071】

図14に示されるように、信号RST、RA、RB、OSC、SEN、IN0、IN1は、チップ選択信号CEsが"H"のとき有効となり、RSTS、RAs、RBs、OSCs、SENs、IN0s、IN1sに変換される。

【0072】

図15に示される信号OD、EV、PRE、PGMは、チップ選択信号CEsが"H"のとき有効となり、電圧振幅がVHのODs、EVs、PREs、PGMsに変換される。

【0073】

図16に示される内部信号OUT0sとOUT1sは、チップ選択信号CEsが"H"のときOUT0端子、OUT1端子から信号OUT0とOUT1として出力される。

【0074】

図17は、ブロック選択回路26の具体的な回路構成の一例を示す図である。この図17に示す回路は、各ブロック毎に設けられている。

【0075】

図17に示すように、BLOCK*i*のワード線WL0-*i*～WL3-*i*、選択ゲート線SGD-*i*、及びSGS-*i*はそれぞれ、nタイプMOS(NMOS)トランジスタQn17、Qn16、Qn15、Qn14、Qn12、Qn18を介して、端子CG0、CG1、CG2、CG3、SG1、SG2と繋がる。

【0076】

また、選択ゲート線SGD-*i*及びSGS-*i*はそれぞれ、Qn13とQn19を介して、端子SGBと繋がる。選択されたブロックでは、ノードTransferGがVpp程度の電圧となり、ワード線と選択ゲート線とがパッケージ4からの信号CG0、CG1、CG2、CG3、SG1、SG2で制御される。非選択のブロックでは、TransferGが接地され、ワード線はフローティング状態となり、選択ゲート線はSGBで制御される。

【0077】

ブロックの選択は信号RA-*j*とRB-*k*で行なう。RA-*j*とRB-*k*がともに”H”の時、そのブロックは選択される。信号OSC_sはパッケージ4で発生させられた発信信号OSCと同期し、NMOSトランジスタQn8、Qn9、Qn10とディプリーションタイプNMOSトランジスタQd0で構成されるポンプ回路を駆動する。これにより、VppがTransferGに転送される。各ブロックと信号RA-*j*/RB-*k*の対応関係を表1に示す。

【0078】

【表1】

表 1

BLOCK 0	RA-0	RB-0
BLOCK 1	RA-1	RB-0
BLOCK 2	RA-2	RB-0
BLOCK 3	RA-3	RB-0
BLOCK 4	RA-0	RB-1
BLOCK 5	RA-1	RB-1
BLOCK 6	RA-2	RB-1
BLOCK 7	RA-3	RB-1
BLOCK 8	RA-0	RB-2
BLOCK 9	RA-1	RB-2
BLOCK10	RA-2	RB-2
BLOCK11	RA-3	RB-2
BLOCK12	RA-0	RB-3
BLOCK13	RA-1	RB-3
BLOCK14	RA-2	RB-3
BLOCK15	RA-3	RB-3

【0079】

BLOCKiが選択された時の各電圧を表2に示す。

【0080】

【表2】

表 2

	消 去	書きこみ	読み出し	書きこみ ベリファイ
SGS-i	Vera	0V	Vread	Vread
WL0-i	0V	Vpass	Vread	Vread
WL1-i	0V	Vpgm	Vcgr	Vcgv
WL2-i	0V	Vpass	Vread	Vread
WL3-i	0V	Vpass	Vread	Vread
SGD-i	Vera	Vcc	Vread	Vread
SGS-x(x≠i)	Vera	0V	0V	0V
WL0-x(x≠i)	Vera	0V	0V	0V
WL1-x(x≠i)	Vera	0V	0V	0V
WL2-x(x≠i)	Vera	0V	0V	0V
WL3-x(x≠i)	Vera	0V	0V	0V
SGD-x(x≠i)	Vera	0V	0V	0V
SGB	Vcc	0V	0V	0V
SG2	Vcc	0V	Vread	Vread
CG0	0V	Vpass	Vread	Vread
CG1	0V	Vpgm	0V	0.5V
CG2	0V	Vpass	Vread	Vread
CG3	0V	Vpass	Vread	Vread
SG1	Vcc	Vcc	Vread	Vread
選択時 BL (データ“0”)	-	0V	Vcc	Vcc
選択時 BL (データ“1”)	-	Vcc	0V	0V
非選択時 BL	Vera	Vcc	0V	0V
BS	Vcc	Vcc	0V	0V
Source	Vera	0V	0V	0V
SRC	Vera	0V	0V	0V
CPWELL	Vera	0V	0V	0V
Well	Vera	0V	0V	0V
Vpp	Vcc	Vpgm	Vread	Vread
OSCs	Vcc	0V/Vcc 発振	0V/Vcc 発振	0V/Vcc 発振

【0081】

表2には、書き込み・読み出しではワード線WL1-iが選択されている例が示されている。

【0082】

電源電圧Vccは典型的に3V、消去電圧Veraは典型的に20V、書き込み電圧Vpgmは典型的に18V、書き込み補助電圧Vpassは典型的に10V、読み出し補助電圧Vreadは典型的に3.5Vである。読み出し電圧Vcgrは典型的に0V、ベリファイ電圧Vcgvは典型的に0.5Vである。多値化も読み出し電圧とベリファイ電圧を複数用意することで容易に可能である。

【0083】

図18は、ブロック選択回路内のシフトレジスタ回路の一部を示す図で、特に信号RA-i、RB-kを発生するシフトレジスタ回路の一部を示している。

【0084】

図18に示すように、リセット信号RSTSが”H”となると、シフトレジスタSR-ad dはリセットされる。クロック信号CK0sが”H”的き、入力信号INを受け取り、CK 0sがLでその入力信号をラッチする。

【0085】

図19は、ブロック選択回路内のシフトレジスタ回路の全体を示す図で、特に信号RA-i、RB-kを発生するシフトレジスタ回路の全体を示している。

【0086】

図19に示す回路は、図17に示される回路に隣接して設けられ、図17と共にブロック選択回路26を構成する。

【0087】

図19に示す回路により、クロック信号CK0sに同期させてアドレスデータ信号RAsとRBsを入力することで、所望の信号RA-i、RB-kを発生させることができる。これにより、任意のブロックを選択できる。

【0088】

図20は、データ回路27の一部であるシフトレジスタ回路の構成を示す図である。

【0089】

図20に示すように、リセット信号RSTSが”H”となると、シフトレジスタSR-dataはリセットされる。クロック信号CK1sが”H”的き、入力信号INを受け取り、CK 1sが”L”で、その入力信号をラッチする。ノードPBLはビット線BLへ接続される

。書き込み信号PGMsが"H"で、インバータI23とI24で構成されるラッチ回路とビット線とが繋がり、書き込みができる。読み出し・書き込みベリファイ時にビット線に現れるメモリセルのデータを示す電圧は、センス信号SENSが"H"でセンスされ、インバータI23とI24で構成されるラッチ回路にラッチされる。

【0090】

図21は、データ回路27、ビット線回路28、及びビット線BLの構成を示す図である。

【0091】

図21に示す回路では、クロック信号CK1sに同期させて書き込みデータ信号IN0sとIN1sを入力することで、所望の書き込みデータをセットすることができる。また、クロック信号CK1sに同期させて読み出しデータ信号OUT0sとOUT1sを出力することができる。

【0092】

ビット線選択信号EVsとODsで2本のビット線BLeとBLoのうちどちらかを選択する。EVsが"H"でODsが"L"ならBLeが、EVsが"L"でODsが"H"ならBLoが選択される。選択されないビット線は、ビット線回路28によりプリチャージ信号PRESが"H"のときBS端子に接続される。

【0093】

また、ビット線回路28を使って、選択するビット線の電位を予め設定できる。EVsが"H"でODsが"L"ならBLoを、EVsが"L"でODsが"H"ならBLeを、プリチャージ信号PRESを"H"としてBSに接続し、その後EVsとODsと共に"L"とすれば選択するビット線はBSと同電位にプリチャージされる。この後、ワード線に電位を与えることでメモリセルのデータを読むことができる。

【0094】

BLOCKiが選択された時の各電圧は上記表2に示されている。この表2には、上述した通り、書き込み・読み出しではワード線WL1-iが選択されている例が示されている。

【0095】

図22は、信号変換回路31の他の回路例を示す図である。

【0096】

図22に示すように、端子8には、ダイオードD0と抵抗R0で構成される入力保護を入れる方がより望ましい。ここでは、チップ選択信号CE0の例を示している。

【0097】

図23は、ソース線回路29及びウェル回路30の構成の一例を示す図である。

【0098】

図23に示す例では、ソース線回路29とウェル回路30とは、一部の回路を互いに共有している。

【0099】

図23に示すように、信号OSCsは、パッケージ4で発生させられた発信信号OS Cと同期し、NMOSトランジスタQn30、Qn31、Qn32とディプリーションタイプNMOSトランジスタQd1で構成されるポンプ回路を駆動する。チップ選択信号CEsnがLになることにより、端子Wellとメモリセルが形成されるp型のウェル34が繋がる。さらに、端子SRCとメモリセルアレイのソース線Sourceが繋がる。

【0100】

BLOCKiが選択された時の各電圧は上記表2に示されている。この表2には、上述した通り、書き込み・読み出しではワード線WL1-iが選択されている例が示されている。

【0101】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル(M)から構成されるメモリセルアレイ(25)と、前記メモリセルアレイに接続される複数のビット線(BL)と、前記メモリセルアレイに接続される複数のワード線(WL)と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子(8)に接続される複数の転送ゲートトランジスタ(Qn14～17)と、が形成される第1の半導体基板(12)と、前記入力端子に接続される出力端子(8)にその出力信号が出力される前記ワード線を制御するためのワード線制御回路(20)が形成される第2の半導体基板(9)と、を

備える。

【0102】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0103】

(1) 前記第1の半導体基板と前記第2の半導体基板が積層される。

【0104】

(2) 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0105】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル(M)から構成されるメモリセルアレイ(25)と、前記メモリセルアレイに接続される複数のビット線(BL)と、前記メモリセルアレイに接続される複数のワード線(WL)と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子(8)に接続される複数の転送ゲートトランジスタ($Q_{n14 \sim 17}$)と、が形成される第1の半導体基板(12)と、その出力信号が出力端子(8)に接続される前記ワード線を制御するためのワード線制御回路(20)が形成される第2の半導体基板(12)と、を備え、前記第1の半導体基板は第1のパッケージ(5)に封止され、前記入力端子は前記第1のパッケージの端子(7)に接続され、前記第2の半導体基板は第2のパッケージ(4)に封止され、前記出力端子は前記第2のパッケージの端子(7)に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線(6)で互いに接続される。

【0106】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0107】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0108】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージ(1)に封止される。

【0109】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル(M)から構成されるメモリセルアレイ(25)と、前記メモリセルアレイに接続される複数のビット線(BL)と、前記メモリセルアレイに接続される複数のワード線(WL)と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子(8)に接続される複数の転送ゲートトランジスタ(Qn14～17)と、が形成される第1の半導体基板(12)と、その出力信号が出力端子(8)に接続される前記ワード線を制御するためのワード線制御回路(20)と、インターフェイス回路(37)が形成される第2の半導体基板(12)と、を備え、前記第1の半導体基板は第1のパッケージ(5)に封止され、前記入力端子は前記第1のパッケージの端子(7)に接続され、前記第2の半導体基板は第2のパッケージ(4)に封止され、前記出力端子は前記第2のパッケージの端子(7)に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線(6)で互いに接続され、前記第2のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子(3)が設けられる。

【0110】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0111】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0112】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージ(1)に封止され、前記第3のパッケージには前記インターフェイス端子から引き出された引き出し端子(2)が設けられる。

【0113】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル（M）から構成されるメモリセルアレイ（25）と、前記メモリセルアレイに接続される複数のビット線（BL）と、前記複数のビット線を制御するための第1のシフトレジスタ（SR_data）と、前記メモリセルアレイに接続される複数のワード線（WL）と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子（8）に接続される複数の転送ゲートトランジスタ（Q_n14～17）と、前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタ（SR_add）と、が形成される第1の半導体基板（12）と、前記入力端子に接続される出力端子（8）にその出力信号が出力される前記ワード線を制御するためのワード線制御回路（20）が形成される第2の半導体基板（9）と、を備える。

【0114】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0115】

（1）前記第1の半導体基板と前記第2の半導体基板が積層される。

【0116】

（2）少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0117】

（3）さらに前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路（ROM）を前記第2の半導体基板上に備える。

【0118】

以上のようにして、複数のフラッシュメモリチップから多くの制御回路を削減し、その制御回路を複数のフラッシュメモリチップで共有することで、安価なフラッシュメモリシステムが提供できる。図2に示されるようにパッケージングあるいは配線することで、1つのフラッシュメモリデバイスとして使うことができる。

【0119】

図24は、本発明の第1実施形態に係わる不揮発性半導体記憶装置のシステム

を示すシステム図である。

【0120】

図24に示すように、1つのパッケージ4が配線6を介して複数のNANDフラッシュメモリ5を制御する。このように制御回路を共有することで、個々のNANDフラッシュメモリ5から制御回路を削除することができ、結果小さなチップサイズのNANDフラッシュメモリ5を作ることができる。よって、全体として安価なフラッシュメモリシステムが得られるのである。

【0121】

パッケージ4の内部は、大きく2つの部分に分けることができる。NANDフラッシュ・インターフェイス37は、図8に示されるデータ入出力バッファ13と制御信号バッファ14とストート・マシーン15をまとめたものである。図8に示される残りの部分がNANDフラッシュ制御エンジン36である。

【0122】

パッケージ4は、端子3を介してコンピュータなどのファイル管理システムのもとで制御される。

【0123】

(第2実施形態)

図25は、本発明の第2実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図である。

【0124】

図25に示すように、パッケージ4の内部に、データファイルとメモリセルアレイ25のアドレスの関係を管理しファイル管理を行なうファイル管理エンジン38と、外部とのインターフェイスとしてネットワークプロトコルに対応したネットワーク・インターフェイス39を備えている。パッケージ4は端子3を介して、直接インターネットなどのネットワークに繋がることが可能となっている。

【0125】

例えばネットワーク・インターフェイス39はインターネットで主流のTCP/IPに対応している。また、ftp(file transfer protocol)接続可能である。これにより、本発明に係わる不揮発性半導体記憶装置は、FTPサイトとしてネットワー

クに繋がる。

【0126】

anonymous ftp(file transfer protocol)接続可能とするとより簡単にネットワークに接続できる。PPP(Point to Point Protocol)接続可能として、本発明に係わる不揮発性半導体記憶装置を電話回線を介してネットワークに繋げるのも便利である。

【0127】

図26は、パッケージ1に封止された図25に示される不揮発性半導体記憶装置とネットワークとの関係を示す図である。

【0128】

図26に示すように、データサーバー43-0～43-4とソフトウェアダウンロードマシン41は、TCP/IPプロトコルネットワーク42を介して繋がっている。ソフトウェアダウンロードマシン41に挿入されたパッケージ1に、必要なソフトウェア（例えば音楽ソース）を、FTPを使ってネットワーク42を介して持ってくる。ソフトウェアダウンロードマシン41からパッケージ1を抜き、携帯音楽プレーヤ40などで音楽などを楽しむことが容易にできる。

【0129】

図27は、パッケージ1に封止された図25に示される不揮発性半導体記憶装置とネットワークとの他の関係を示す図である。

【0130】

図27に示すように、TCP/IPプロトコルに対応したデータサーバー46と電話機44は電話回線45を介して繋がっている。電話機44に挿入されたパッケージ1に、必要なソフトウェア（例えば音楽ソース）を、PPPを使ってデータサーバー46から持ってくる。電話機からパッケージ1を抜き、携帯音楽プレーヤ40などで音楽などを楽しむことが容易にできる。

【0131】

また、パッケージ1に電源ユニット（電池など）と入力デバイスを付加することで、単体をネットワークに接続することも可能である。

【0132】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、パッケージ（1）に封止された、ネットワークプロトコルに対応したインターフェイス回路（39）と、不揮発性半導体メモリセルアレイ（25）と、前記不揮発性半導体メモリセルアレイを制御するための制御回路（36）と、データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル管理エンジン（38）と、を備える。

【0133】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0134】

（1）前記インターフェイス回路はTCP/IPに対応している。

【0135】

（2）前記インターフェイス回路はftp(file transfer protocol)接続可能である。

【0136】

（3）前記インターフェイス回路はanonymous ftp(file transfer protocol)接続可能である。

【0137】

（4）前記インターフェイス回路はPPP(Point to Point Protocol)接続可能である。

【0138】

以上のようにして、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えたフラッシュメモリシステムを提供することができる。

【0139】

以上、この発明を第1、第2の実施形態により説明したが、この発明は、これら実施形態それに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0140】

また、上記各実施形態は、単独、または適宜組み合わせて実施することも勿論

可能である。

【0141】

さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0142】

【発明の効果】

以上説明したように本発明によれば、複数のフラッシュメモリチップから多くの制御回路が削減され、その制御回路を複数のフラッシュメモリチップで共有することで、安価なフラッシュメモリシステムが提供できる。そして、例えば図2に示されるようにパッケージングあるいは配線することで、1つのフラッシュメモリデバイスとして使うことができる。

【0143】

また、ネットワーク・プロトコルに対応したインターフェイスを持たせることで、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えたフラッシュメモリシステムを提供することができる。

【図面の簡単な説明】

【図1】 図1は本発明の第1実施形態に係わる不揮発性半導体記憶装置のパッケージ外観図。

【図2】 図2は図1に示されるパッケージ1の内部を示す図。

【図3】 図3は図1に示されるパッケージ1内部のチップ積層構造を示す図。

【図4】 図4は図2、図3に示されるパッケージ4の内部を示す図。

【図5】 図5は図4に示される端子8と端子3との接続構成の一例を示す図。

【図6】 図5は図4に示される端子8と端子7との接続構成の一例を示す図。

【図7】 図7は図2、図3に示されるパッケージ5の内部を示す図。パッケージ5の内部を示す図。

【図8】 図8はパッケージ4内部の半導体基板9上に形成される回路を示す構成図。

【図9】 図9はパッケージ5内部の半導体基板12上に形成される回路を示す構成図。

【図10】 図10は図9に示されるメモリセルアレイ25の構成の一例を示す図。

【図11】 図11AはメモリセルMのビット線BLに沿った断面を示す断面図、図11BはメモリセルMのワード線WLに沿った断面を示す断面図、図11Cは選択ゲート線SGに沿った断面を示す断面図。

【図12】 図12は信号変換回路31の具体的な回路構成の一例を示す図

【図13】 図13は信号変換回路31の具体的な回路構成の一例を示す図

【図14】 図14は信号変換回路31の具体的な回路構成の一例を示す図

【図15】 図15は信号変換回路31の具体的な回路構成の一例を示す図

【図16】 図16は信号変換回路31の具体的な回路構成の一例を示す図

【図17】 図17はブロック選択回路26の具体的な回路構成の一例を示す図。

【図18】 図18はブロック選択回路内のシフトレジスタ回路の一部を示す図。

【図19】 図19はブロック選択回路内のシフトレジスタ回路の全体を示す図。

【図20】 図20はデータ回路27の一部であるシフトレジスタ回路の構成を示す図。

【図21】 図21はデータ回路27、ビット線回路28及びビット線BLの構成を示す図。

【図22】 図22は信号変換回路31の他の回路例を示す図。

【図23】 図23はソース線回路29及びウェル回路30の構成の一例を示す図。

【図24】 図24は本発明の第1実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図。

【図25】 図25は本発明の第2実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図。

【図26】 図26はパッケージ1に封止された図25に示される不揮発性半導体記憶装置とネットワークとの関係を示す図。

【図27】 図27はパッケージ1に封止された図25に示される不揮発性半導体記憶装置とネットワークとの他の関係を示す図。

【符号の説明】

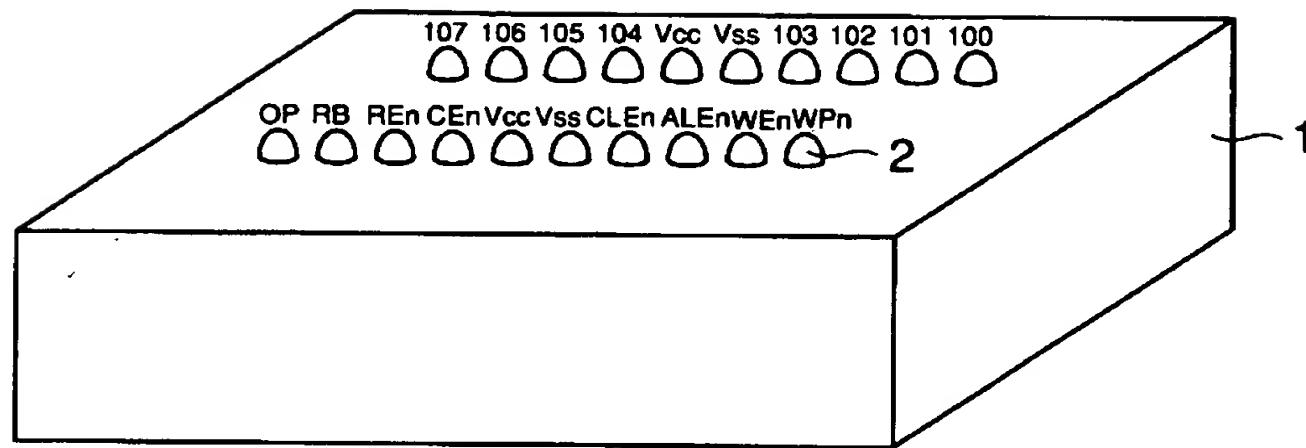
- 1 …パッケージ、
- 2 …端子、
- 3 …端子、
- 4 …パッケージ、
- 5 …パッケージ、
- 6 …配線、
- 7 …端子、
- 8 …端子、
- 9 …半導体基板、
- 10 …配線、
- 11 …配線、
- 12 …半導体基板、
- 13 …データ入出力バッファ、
- 14 …制御信号入力バッファ、
- 15 …ステートマシン、
- 16 …アドレス制御回路、
- 17 …電圧発生回路、

1 8 …チップ選択回路、
1 9 …ブロック選択制御回路、
2 0 …ワード線制御回路、
2 1 …データ制御回路、
2 2 …ビット線制御回路、
2 3 …ソース線制御回路、
2 4 …ウェル制御回路、
2 5 …メモリセルアレイ、
2 6 …ブロック選択回路、
2 7 …データ回路、
2 8 …ビット線回路、
2 9 …ソース線回路、
3 0 …ウェル回路、
3 1 …信号変換回路、
3 2 …n型ウェル、
3 3 …p型拡散層、
3 4 …p型ウェル、
3 5 …n型拡散層、
3 6 …NANDフラッシュ制御エンジン、
3 7 …NANDフラッシュ・インターフェイス、
3 8 …ファイル管理エンジン、
3 9 …ネットワーク・インターフェイス、
4 0 …携帯音楽プレーヤー、
4 1 …ソフトウェアダウンロードマシン、
4 2 …ネットワーク、
4 3 …データサーバー、
4 4 …電話機、
4 5 …電話回線、
4 6 …データサーバー、

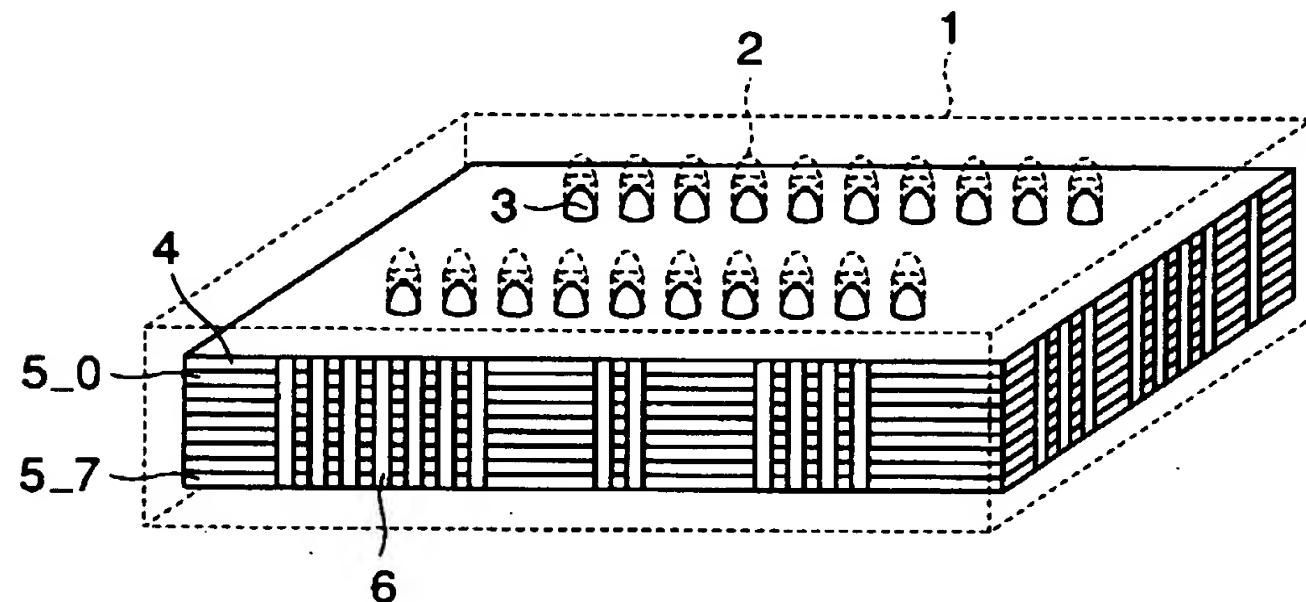
100…ROM、
M…メモリセル、
S…選択トランジスタ、
BLOCK…メモリブロック、
BL…ビット線、
WL…ワード線、
SG…選択ゲート線、
Source…ソース線、
CPWELL…ウェル線、
FG…浮遊ゲート、
STI…素子分離、
I…インバーター、
G…NAND論理ゲート、
Qn…nタイプトランジスタ、
Qp…pタイプトランジスタ、
Qd…ディプリーションタイプnタイプトランジスタ、
Xfer…CMOSトランスファーゲート、
D…ダイオード、
R…抵抗素子。

【書類名】 図面

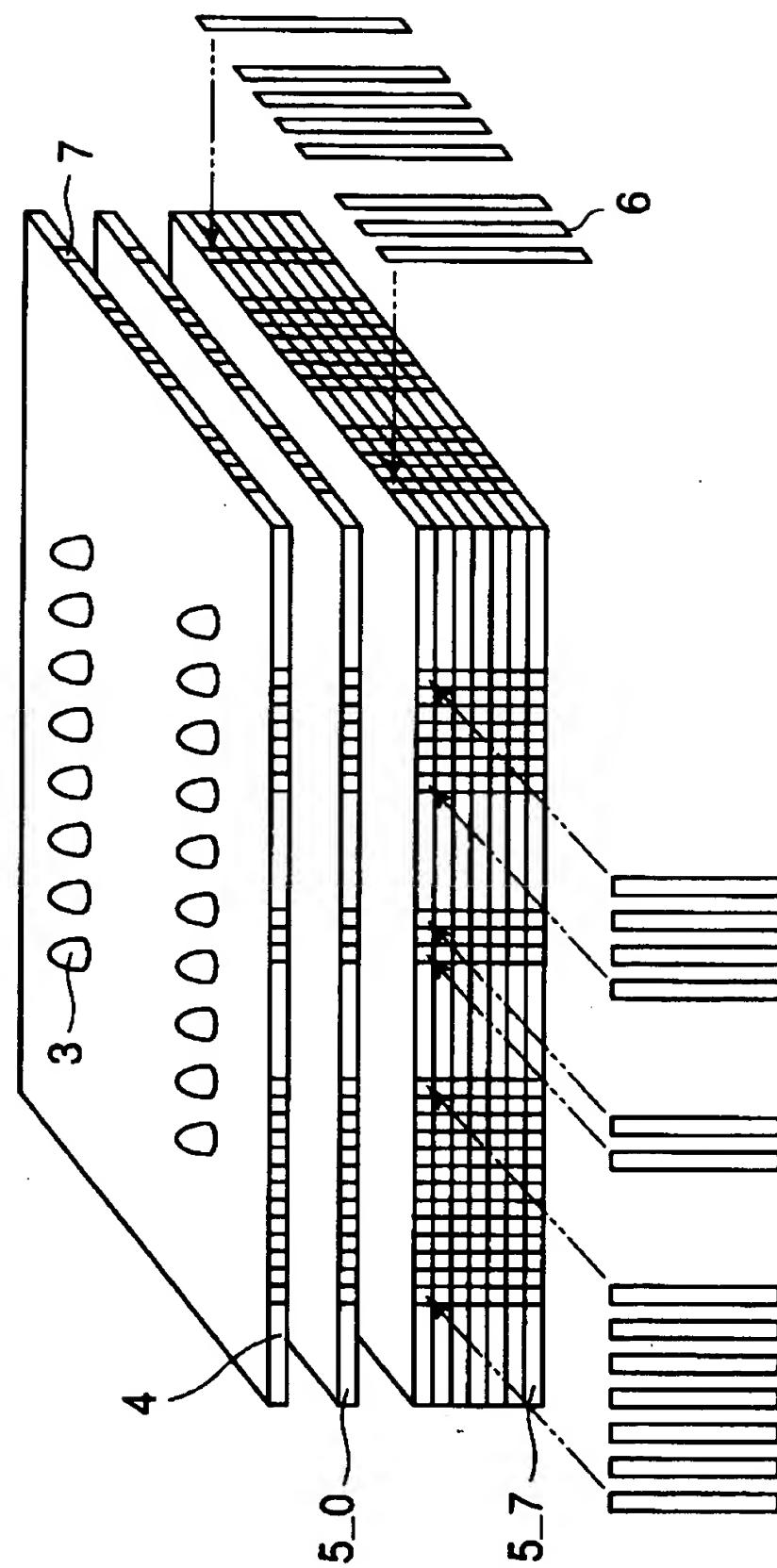
【図1】



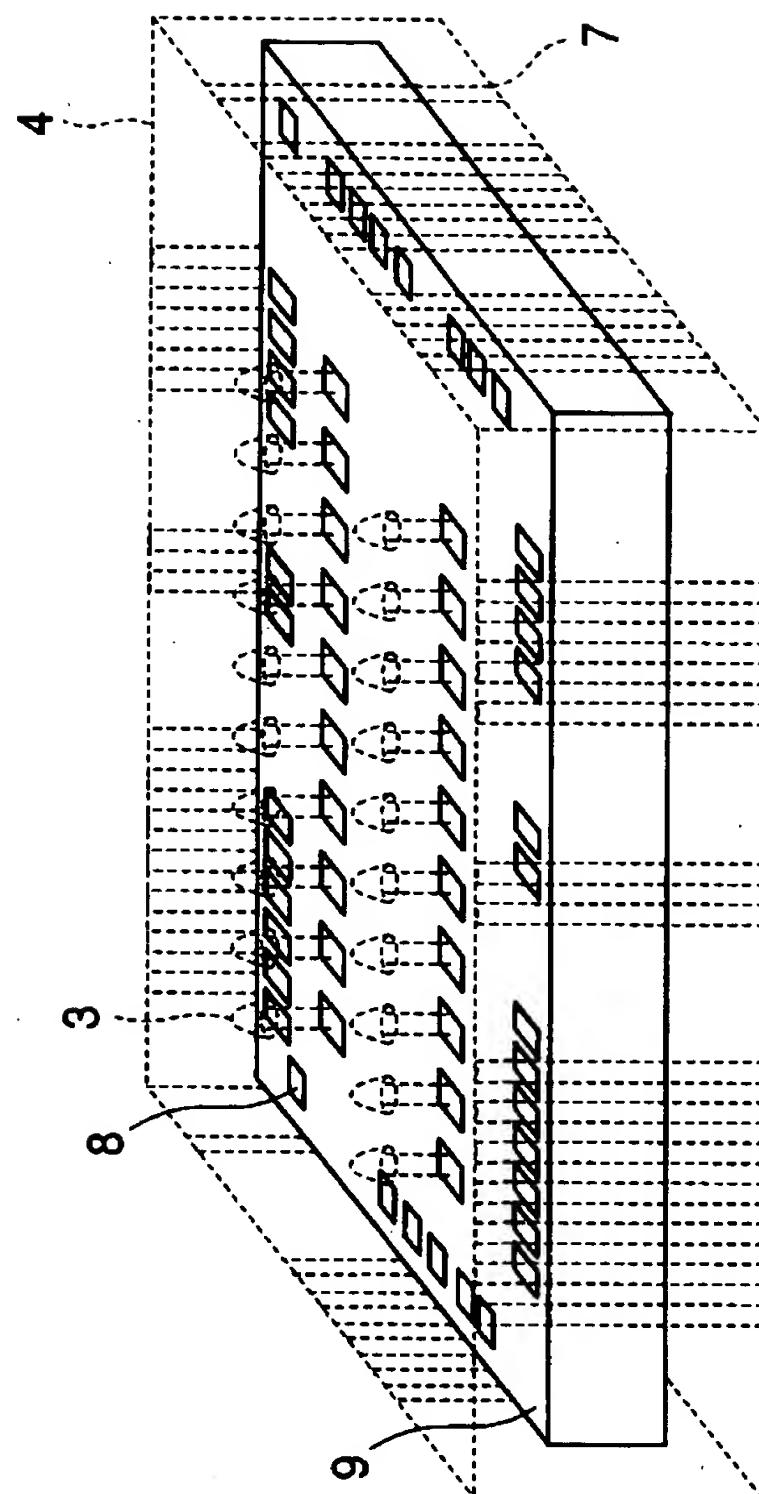
【図2】



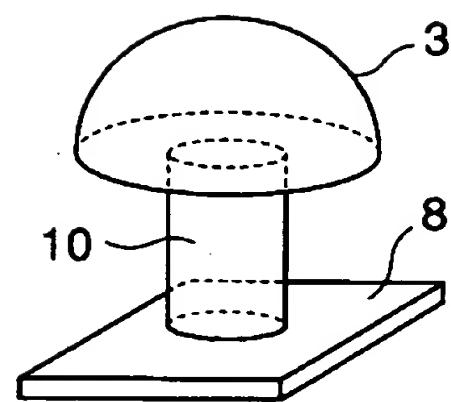
【図3】



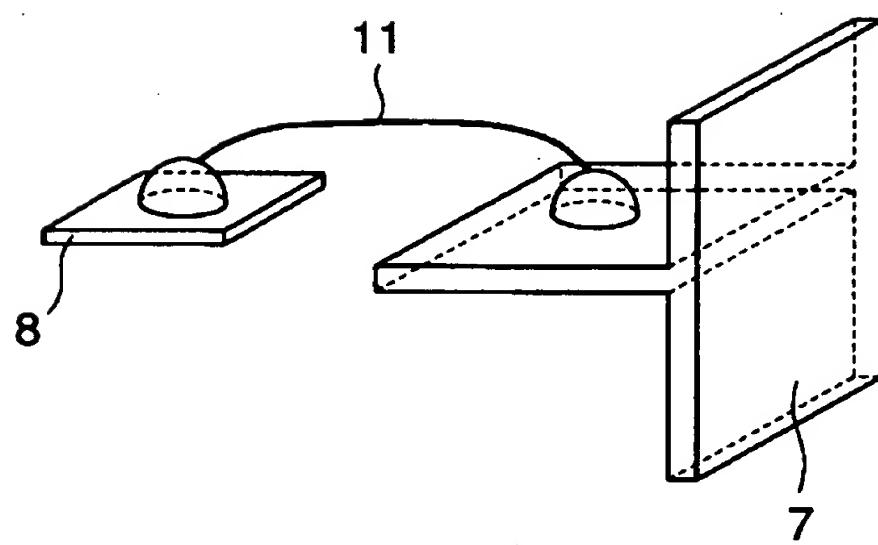
【図4】



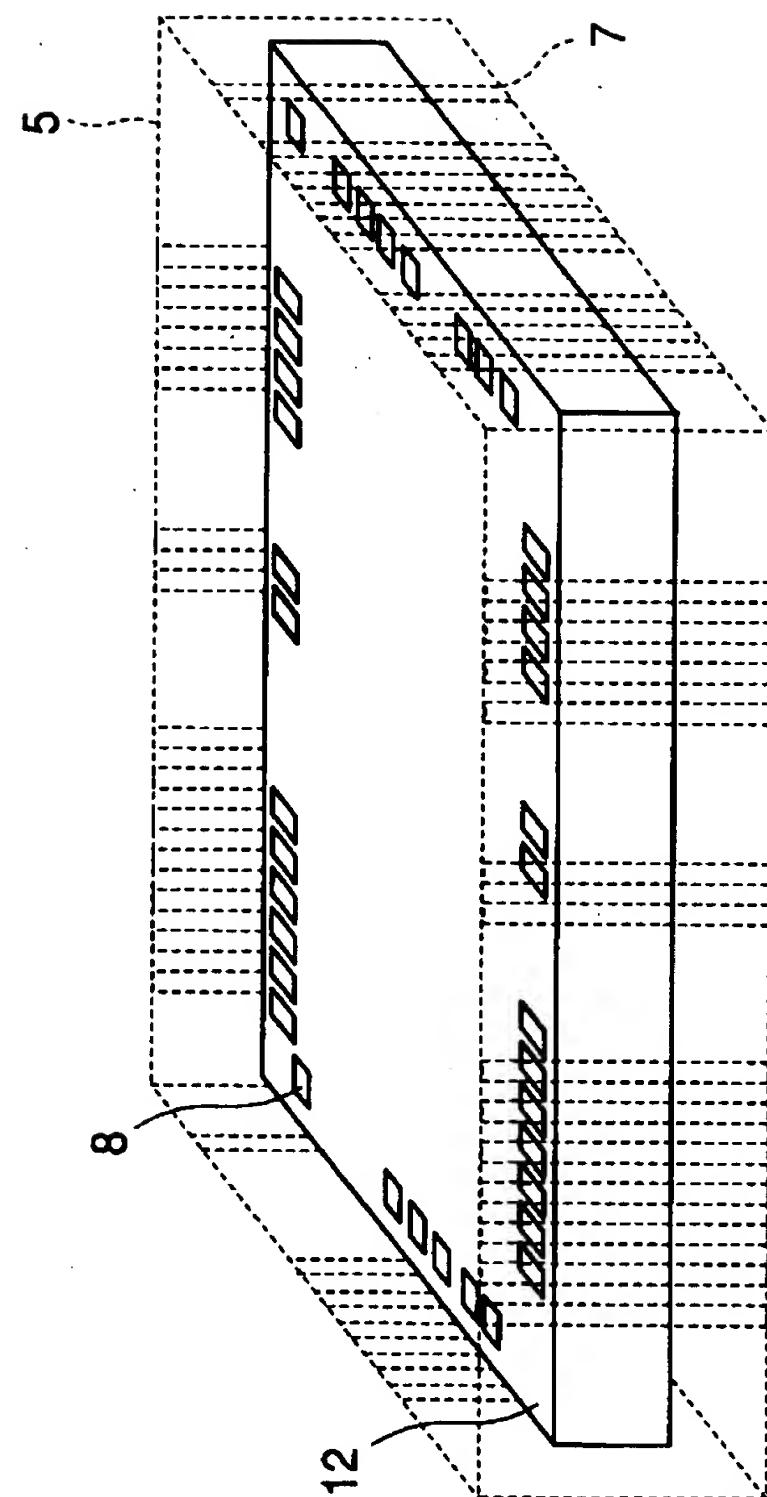
【図5】



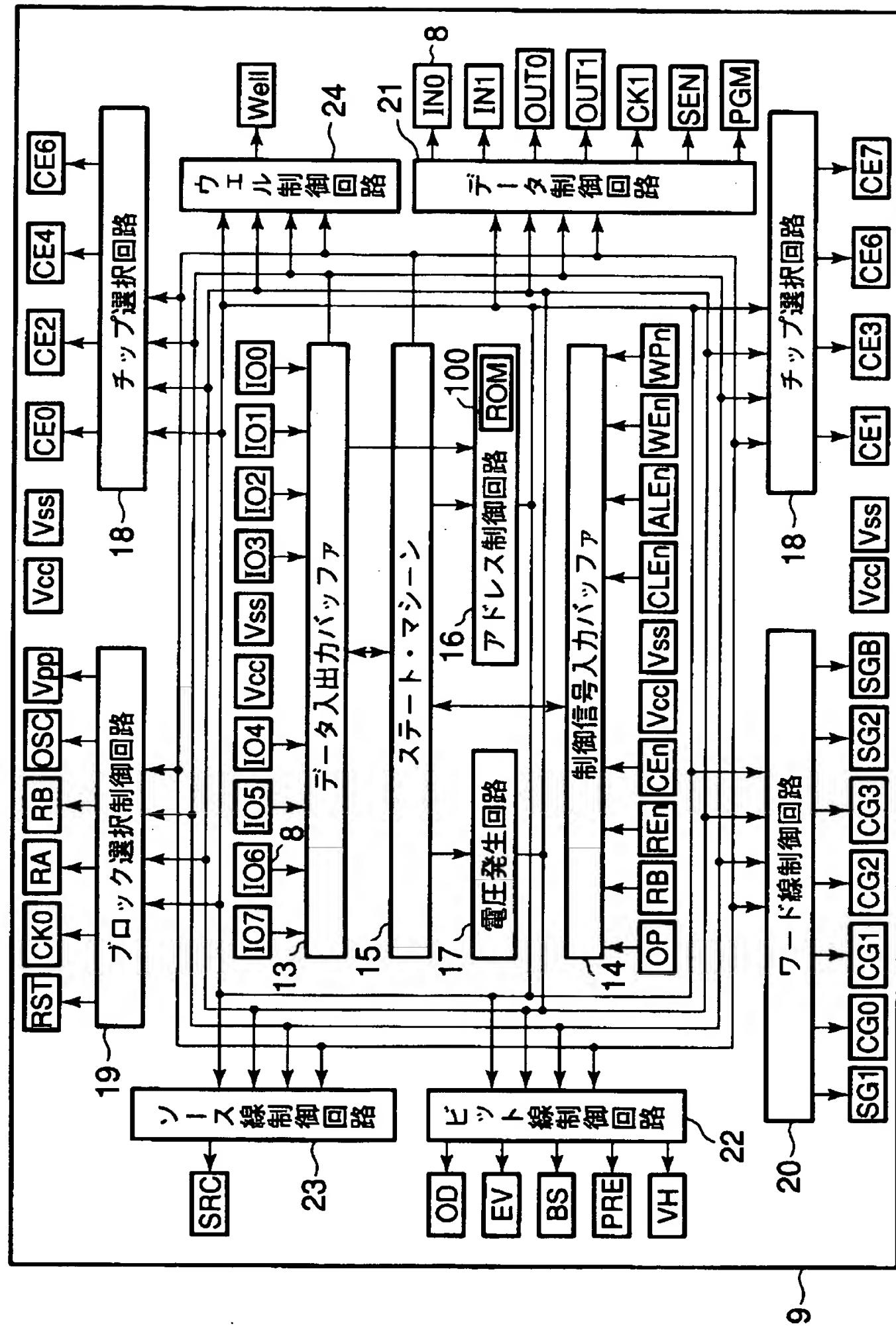
【図6】



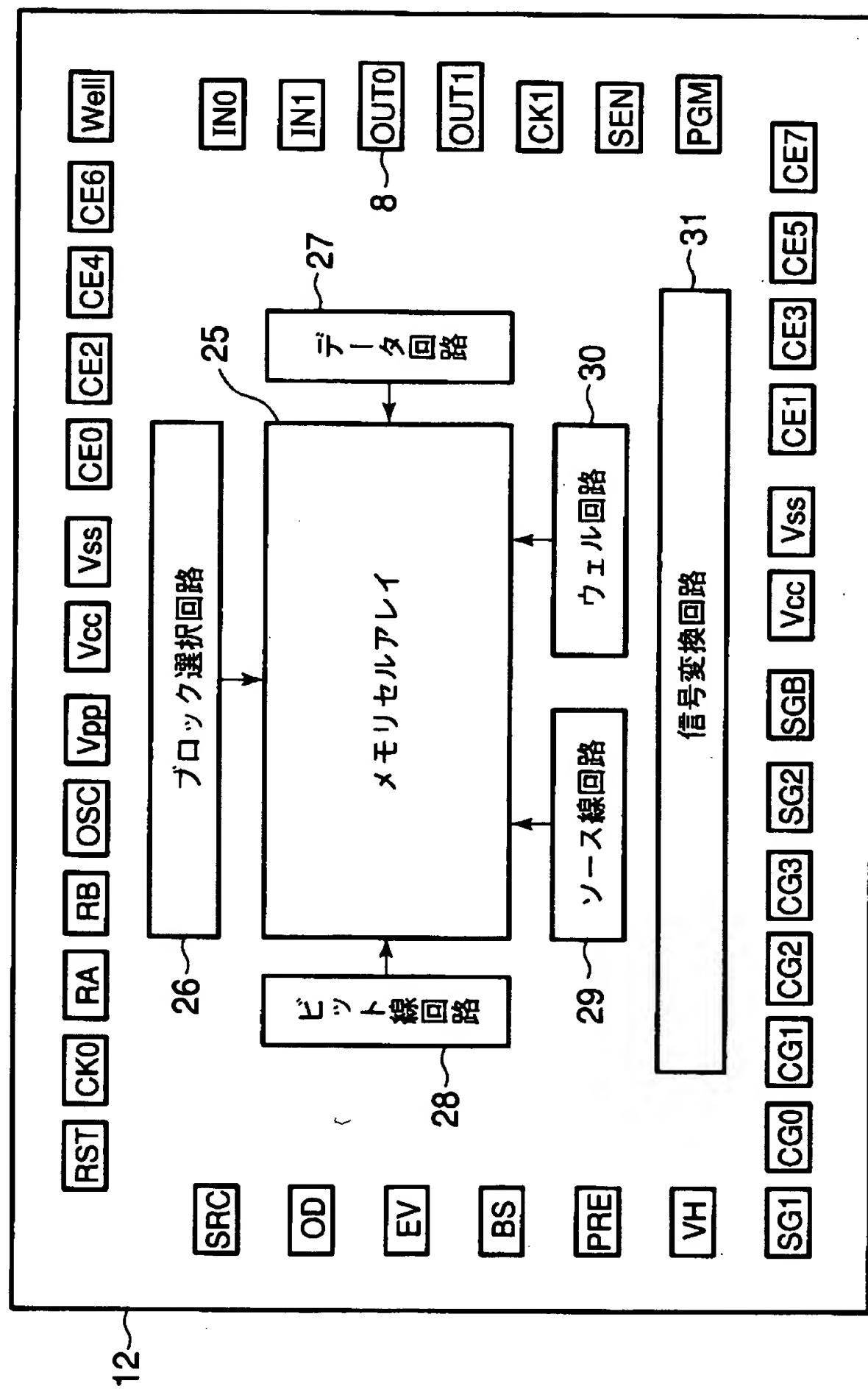
【図7】



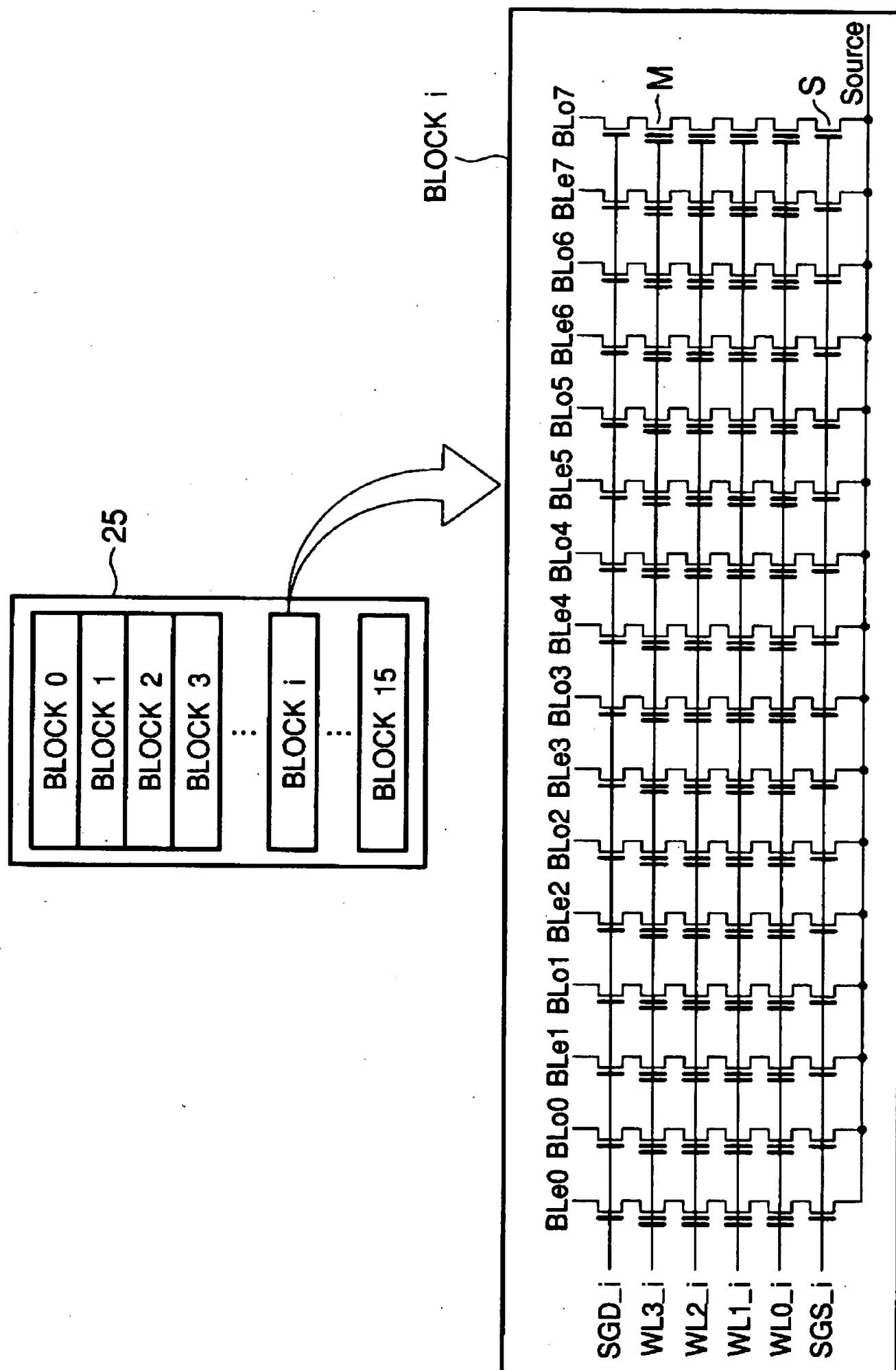
【図8】



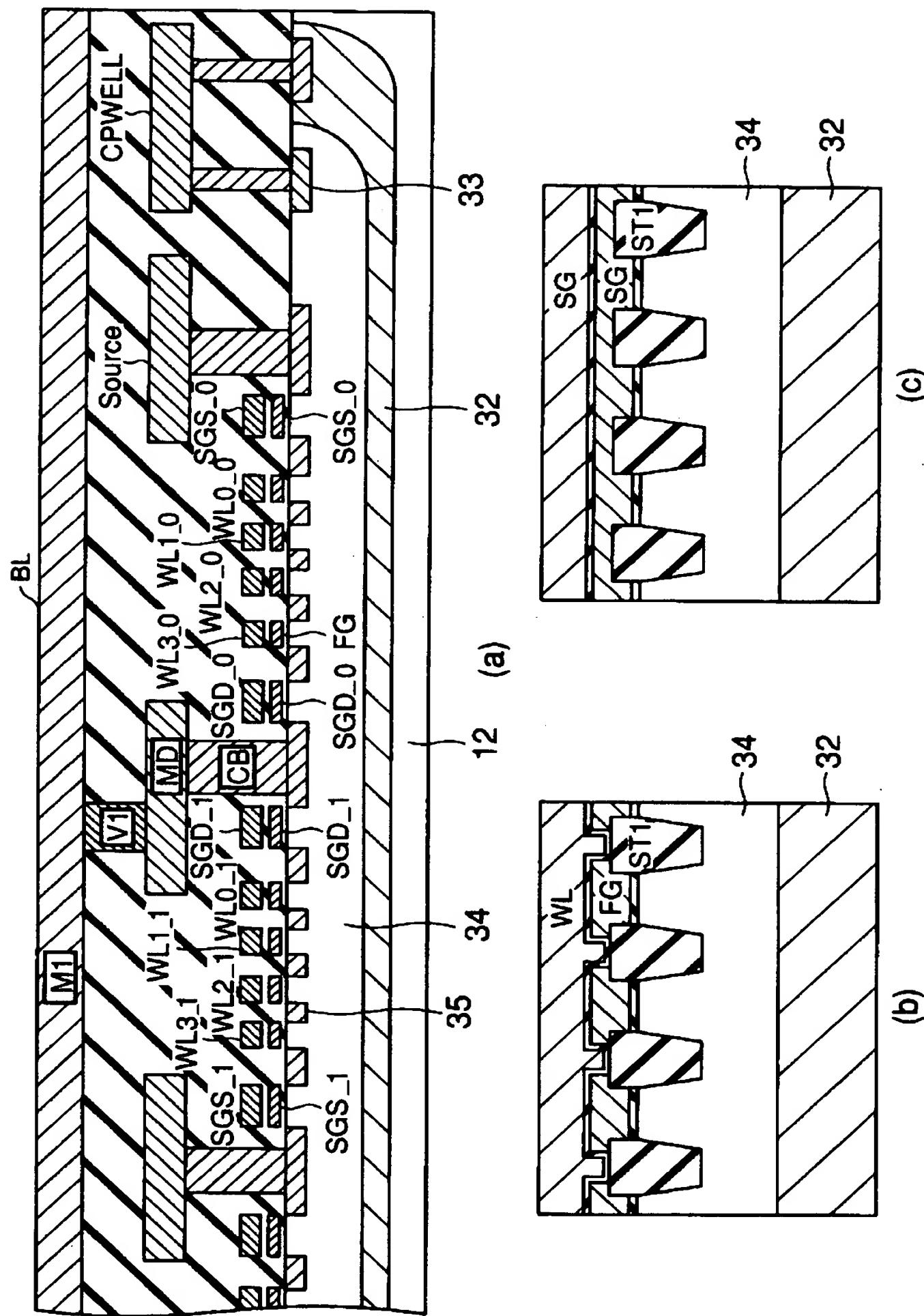
【図9】



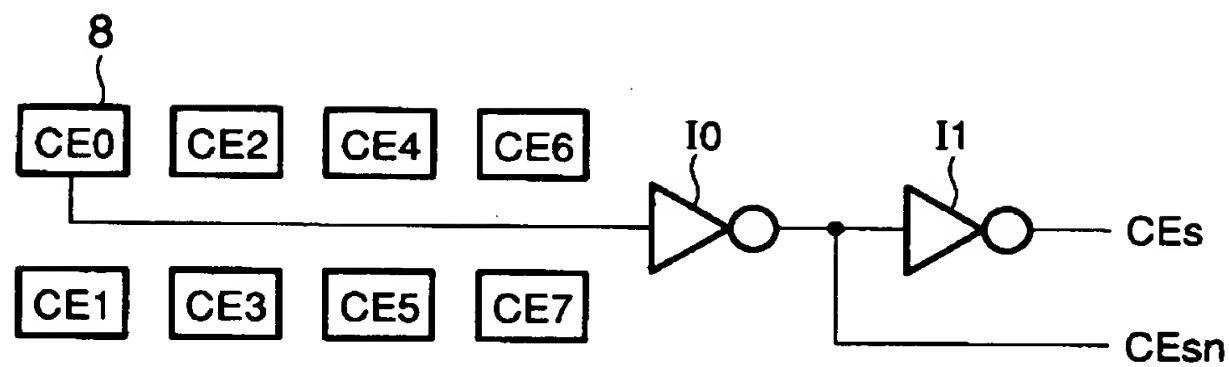
【図10】



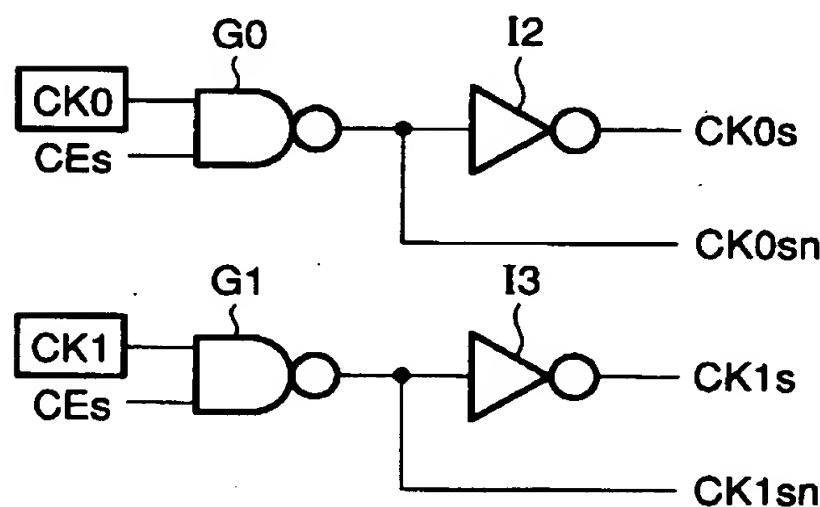
【図11】



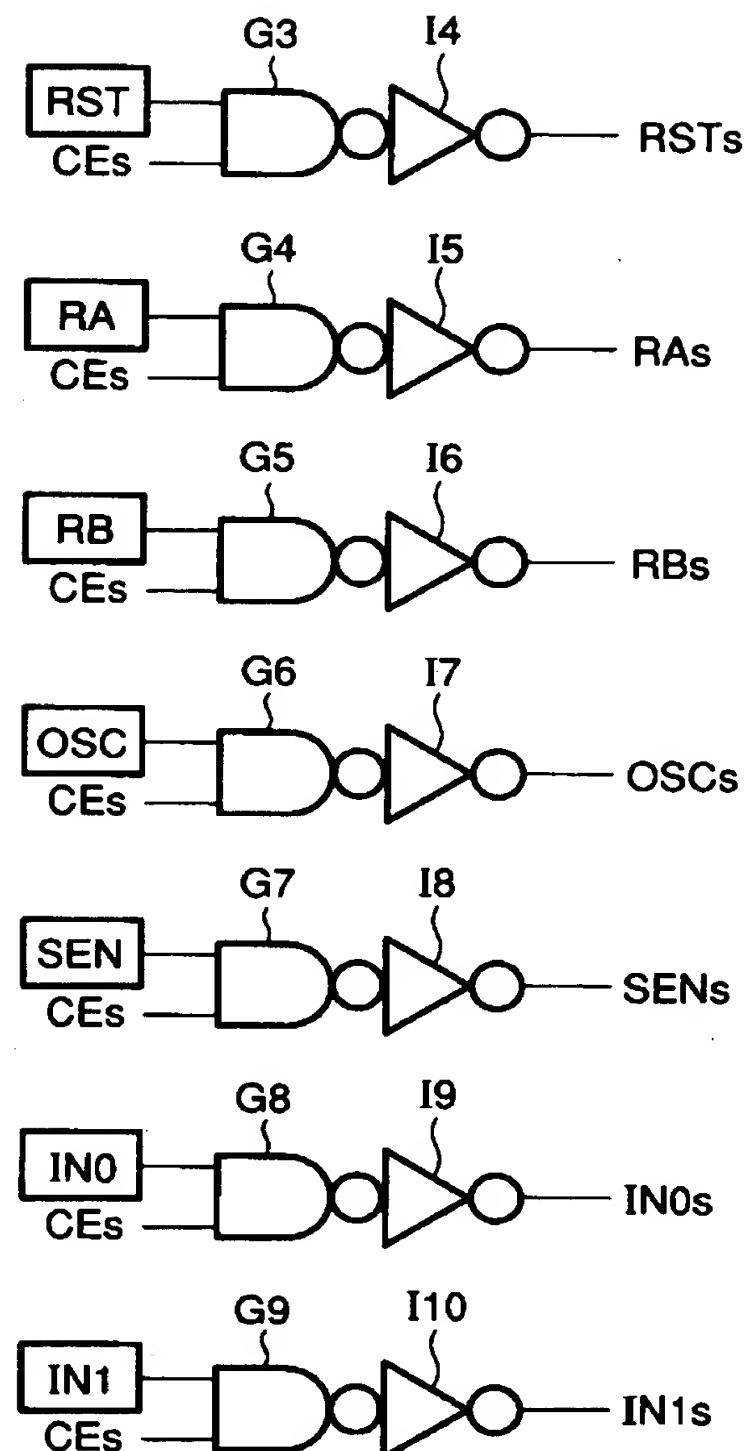
【図12】



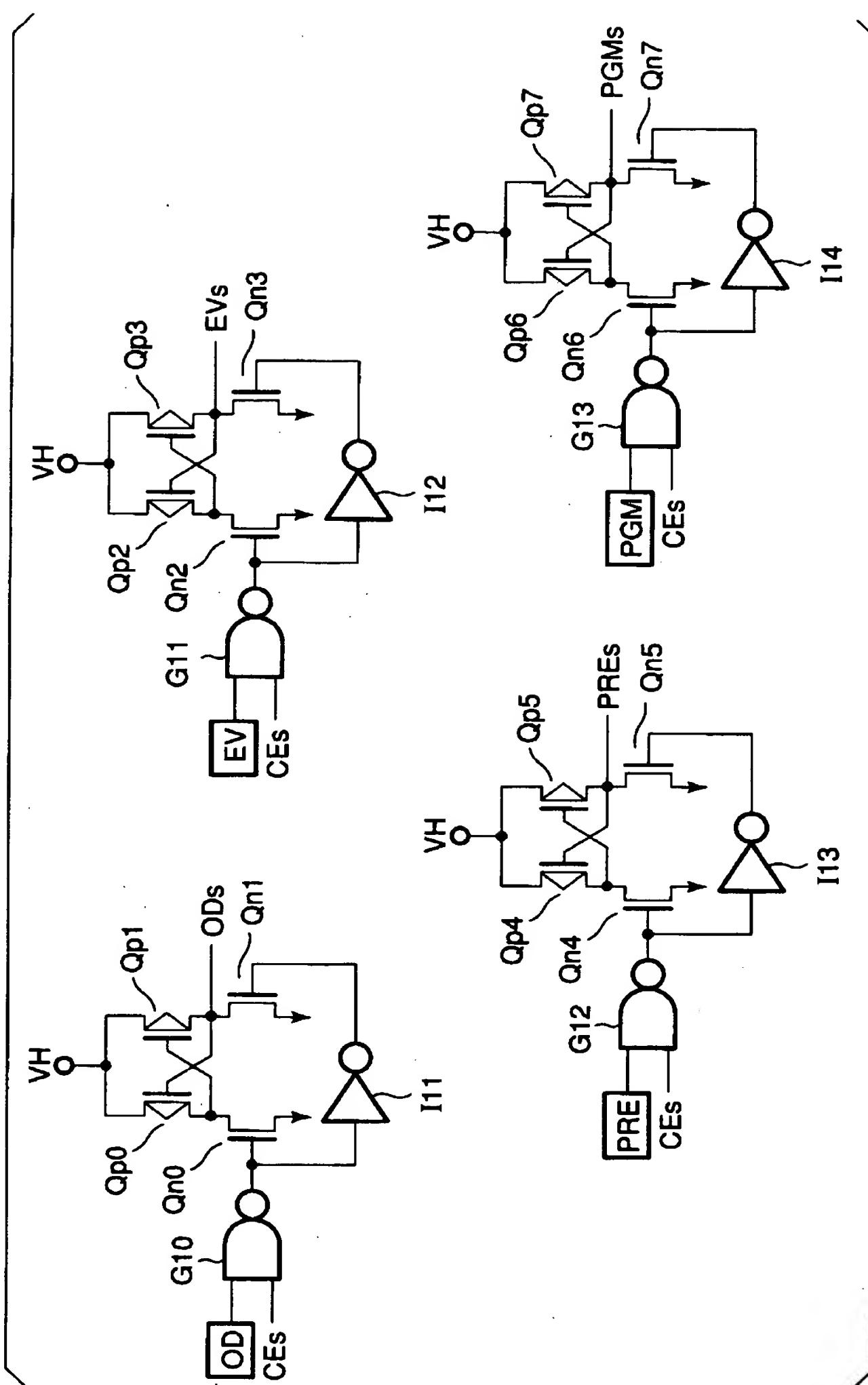
【図13】



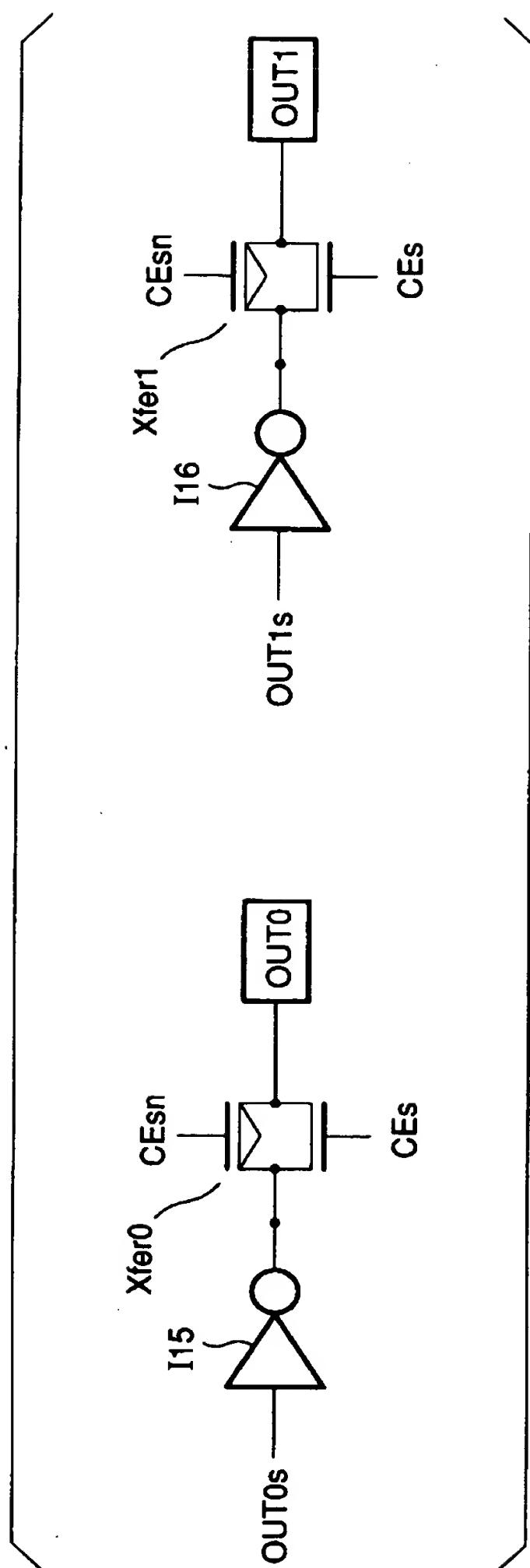
【図14】



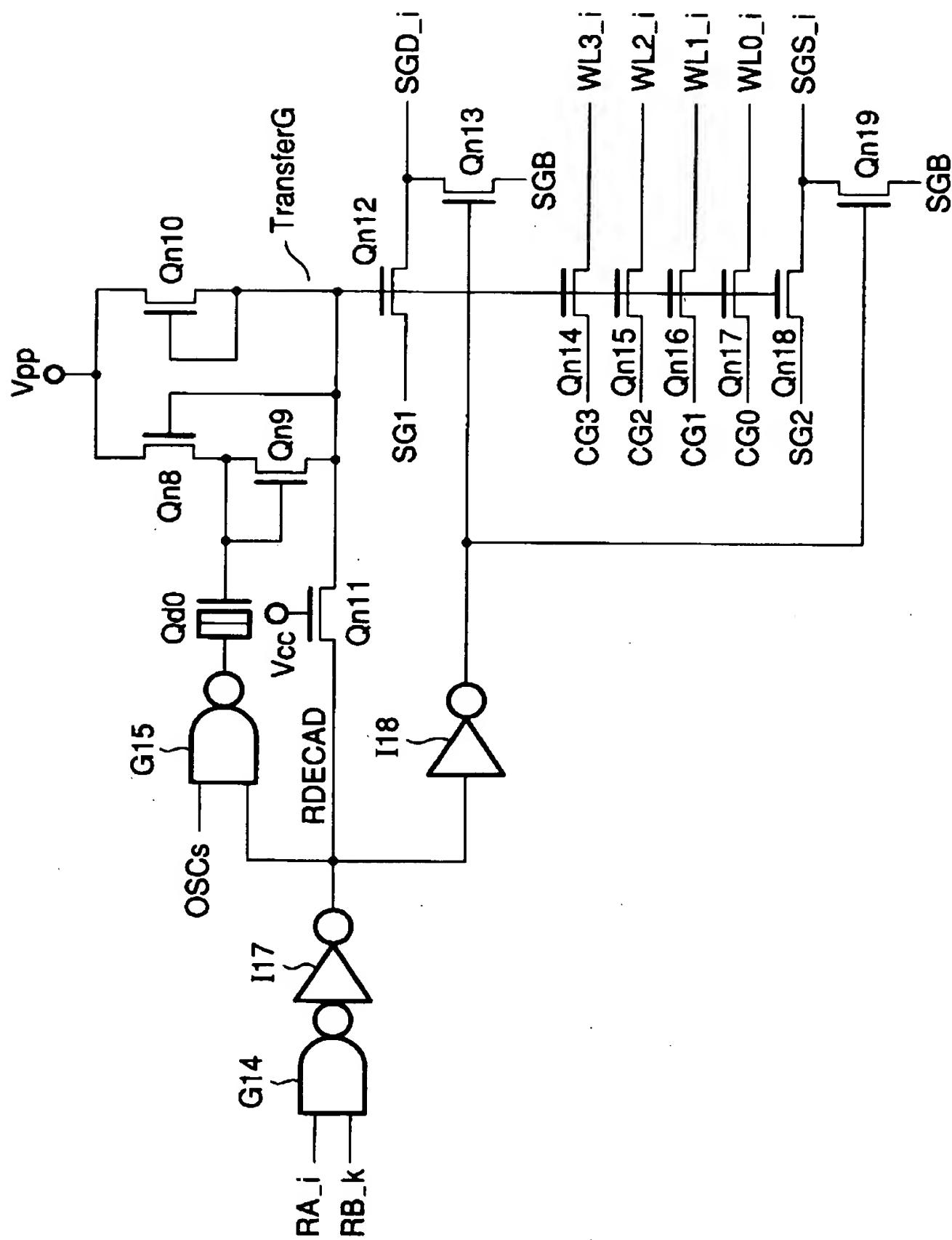
【図15】



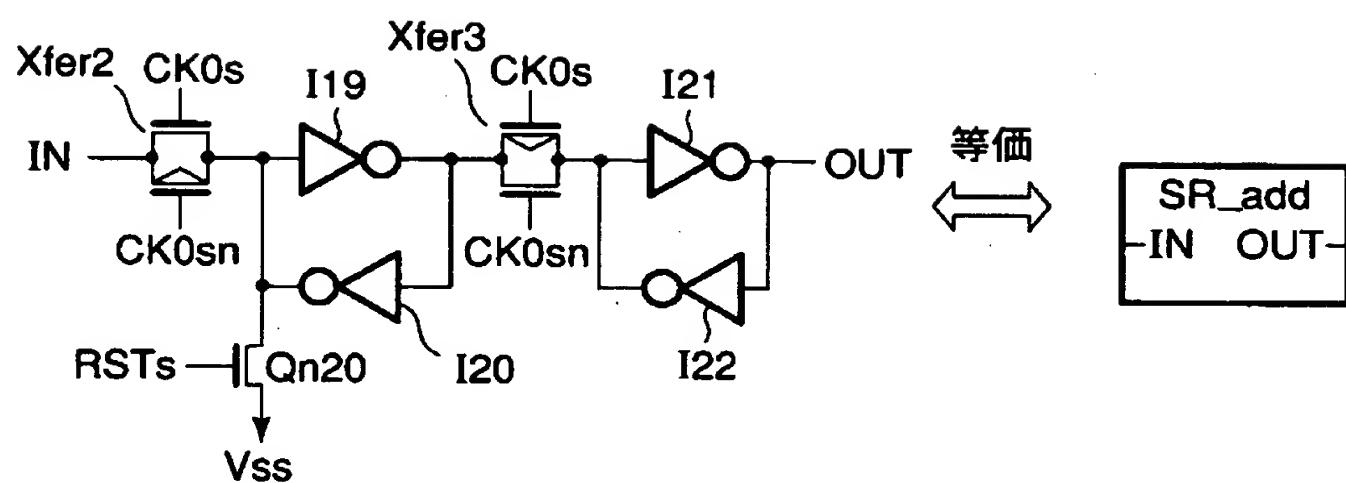
【図16】



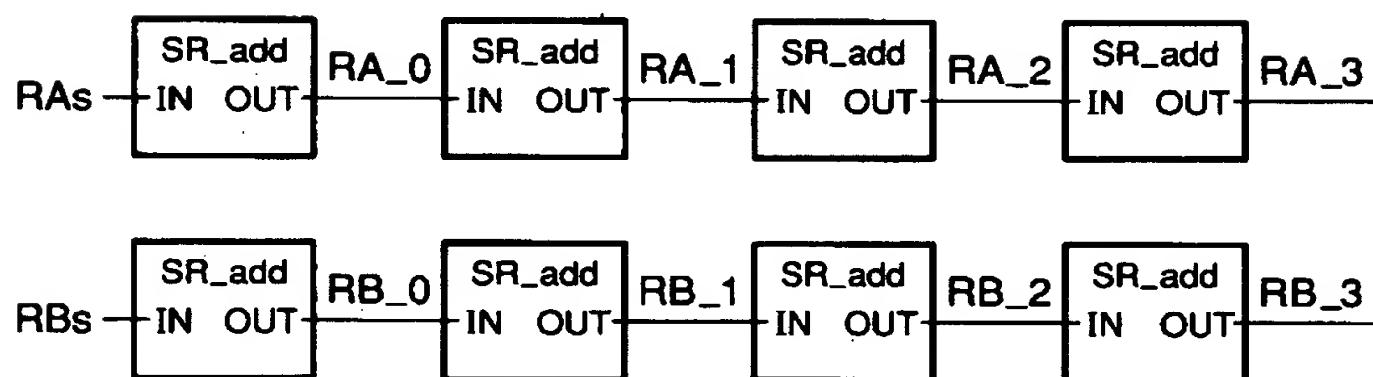
【図17】



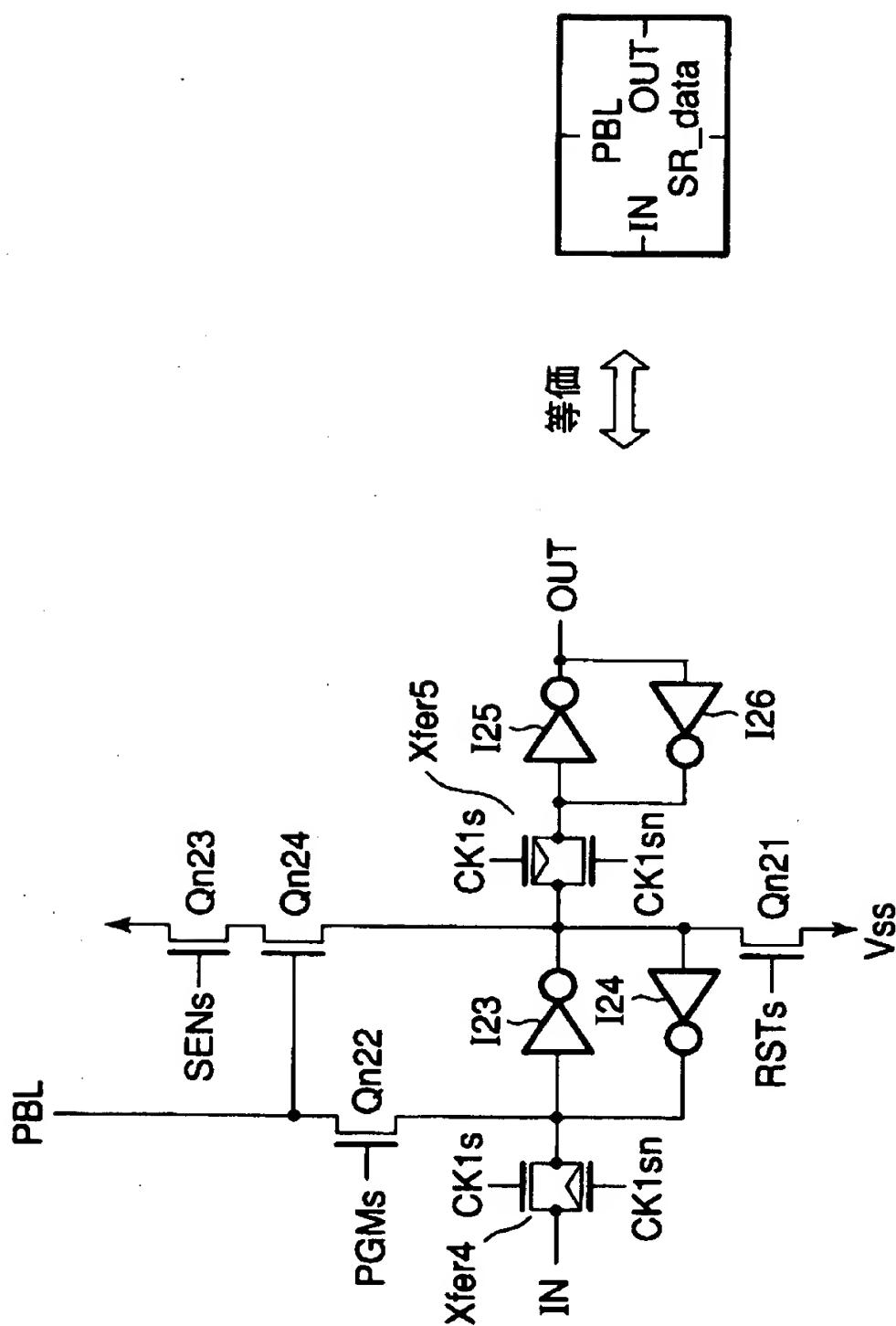
【図18】



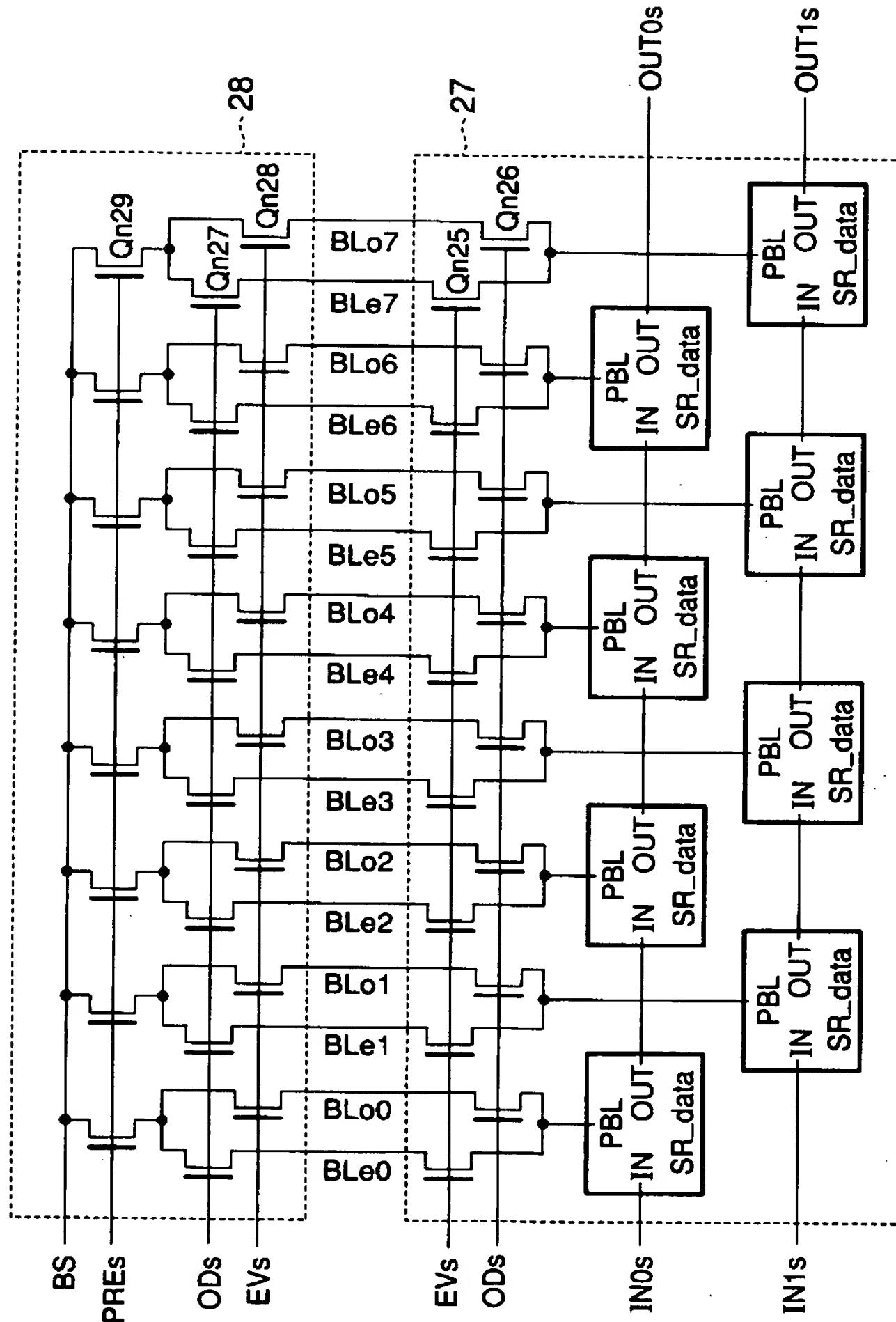
【図19】



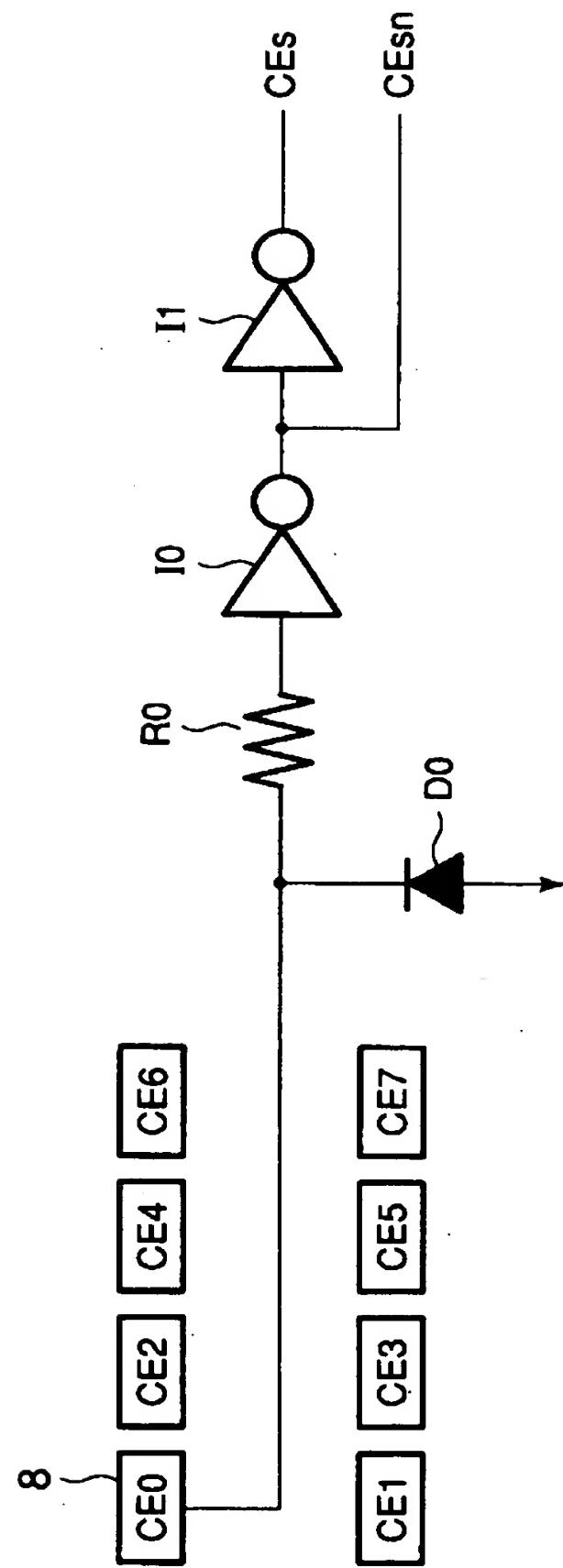
【図20】



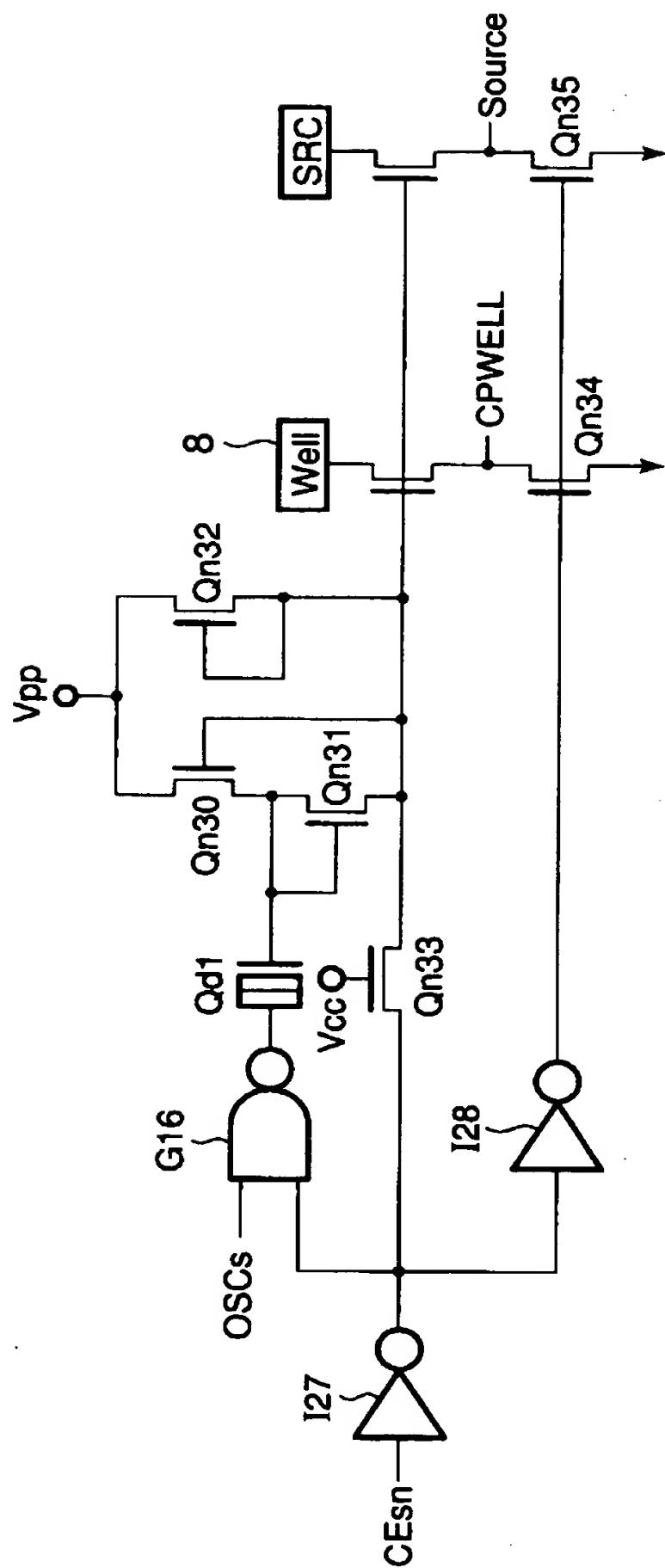
【図21】



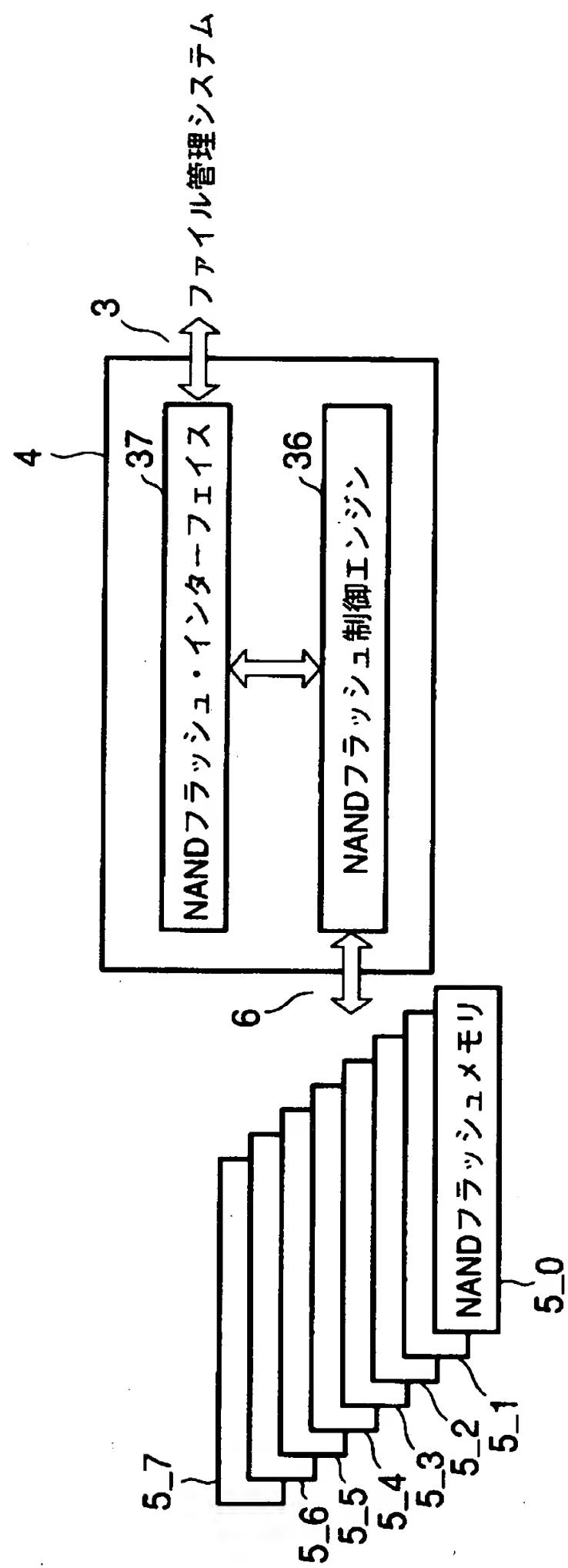
【図22】



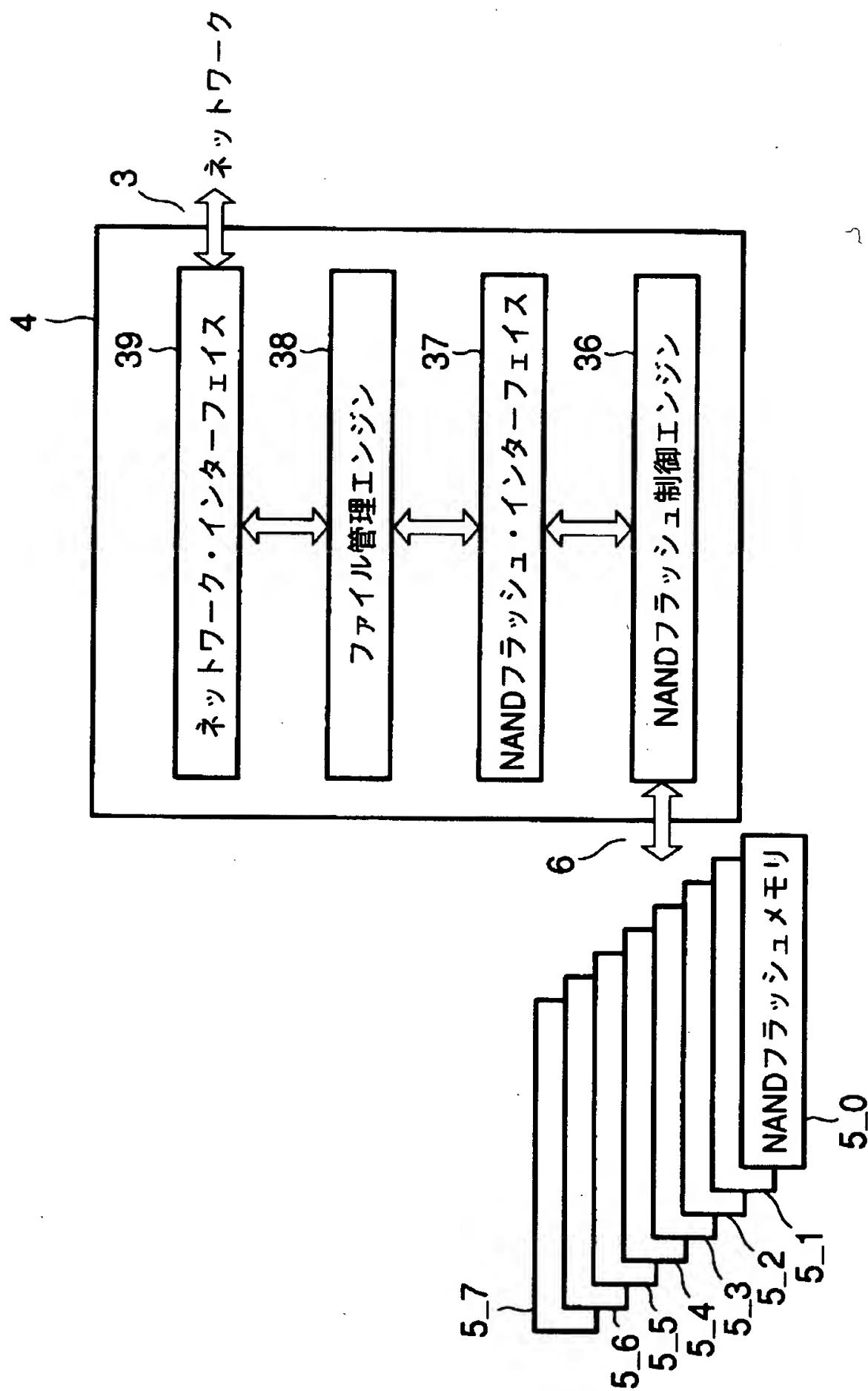
【図23】



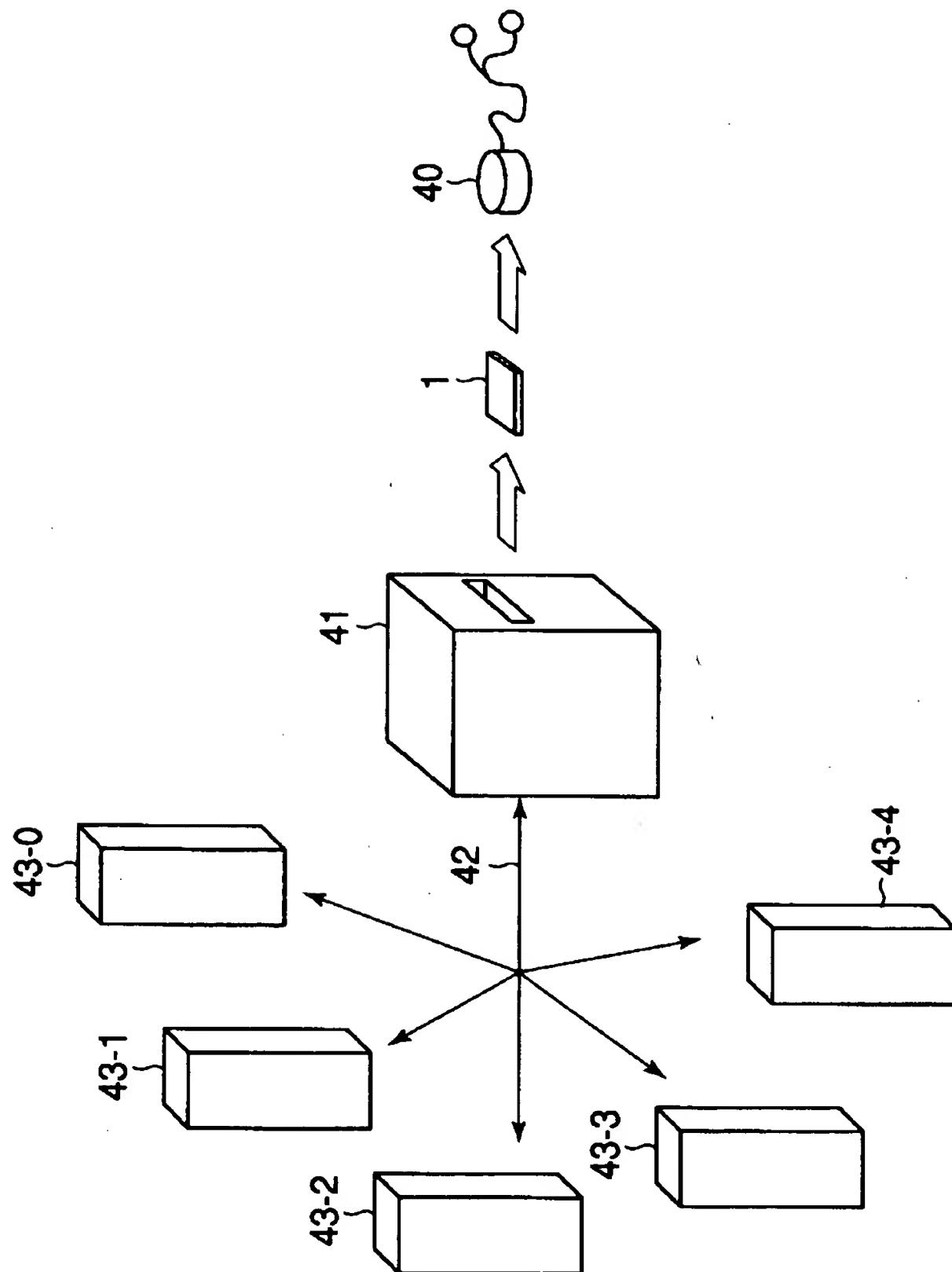
【図24】



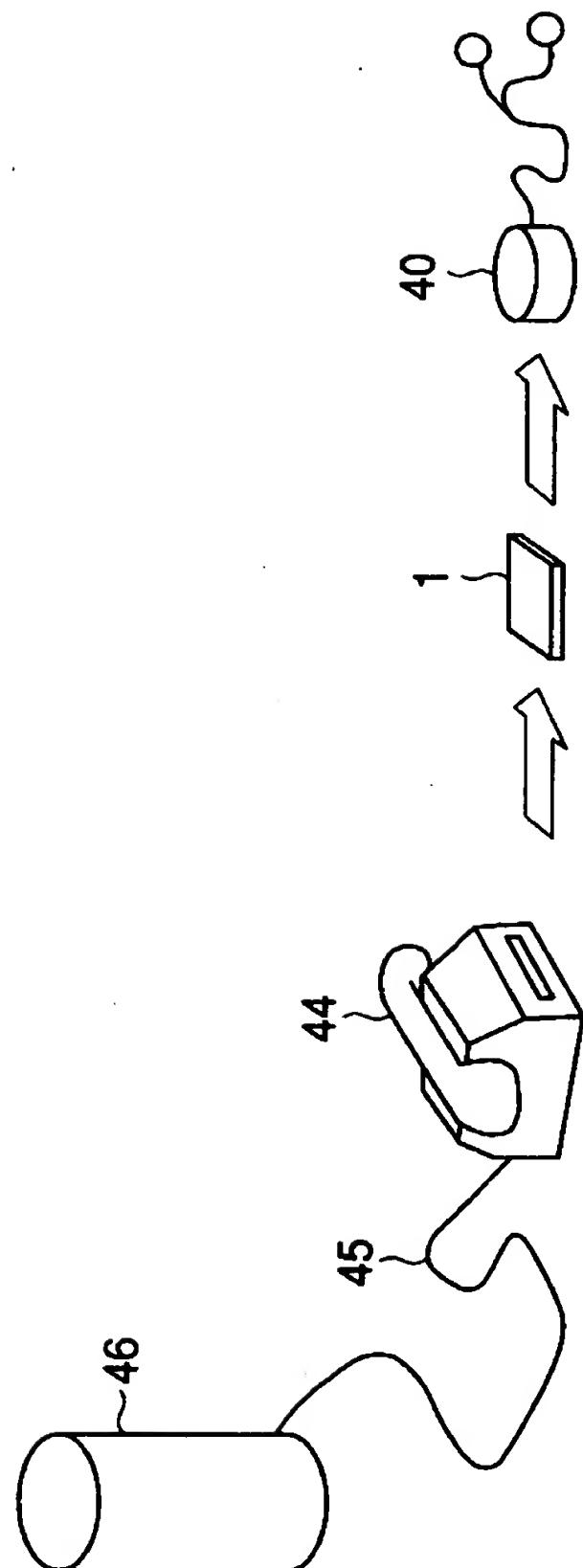
【図25】



【図26】



【図27】



【書類名】 要約書

【要約】

【課題】 コスト増を抑制できる不揮発性半導体記憶装置を提供すること。

【解決手段】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第1の半導体基板を持つパッケージ5と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板を持つパッケージ4とを備える。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝